

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takuya FUTATSUYAMA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE, ELECTRONIC CARD AND
ELECTRONIC DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

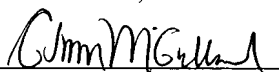
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-199374	July 18, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

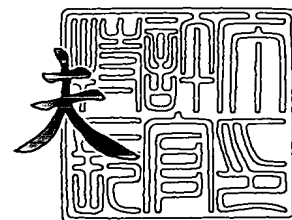
出願年月日 2003年 7月18日
Date of Application:

出願番号 特願2003-199374
Application Number:
[ST. 10/C]: [JP 2003-199374]

出願人 株式会社東芝
Applicant(s):

特許庁長官
Commissioner,
Japan Patent Office

2003年 9月 2日
今井 康夫



出証番号 出証特2003-3071582

【書類名】 特許願

【整理番号】 03P038

【提出日】 平成15年 7月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 不揮発性半導体記憶装置、電子カード及び電子装置

【請求項の数】 12

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 二山 拓也

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 細野 浩司

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100092820

 【弁理士】

 【氏名又は名称】 伊丹 勝

 【電話番号】 03-5216-2501

【手数料の表示】

 【予納台帳番号】 026893

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810498

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置、電子カード及び電子装置

【特許請求の範囲】

【請求項 1】 電氣的にデータの書換えが可能な不揮発性の複数のメモリセルがアレイ状に配置されていると共に複数のブロックに分割されているメモリセルアレイと、

前記複数のブロックの各々に配置されていると共に同一行のメモリセルにそれぞれ共通接続された複数のワード線と、

前記複数のワード線に対応して設けられていると共に対応するワード線に電圧を供給する複数の駆動線と、

前記複数のワード線および前記複数の駆動線のうち対応するワード線と駆動線を接続するスイッチとなる複数の転送トランジスタと、
を備え、

前記複数のワード線を、任意に決められた任意ワード線と、前記任意ワード線の両隣のワード線のそれぞれ隣に位置する二つ隣ワード線と、前記任意ワード線および前記二つ隣ワード線以外の残りのワード線と、に分けた際に、

前記複数の転送トランジスタのうち、前記任意ワード線の転送トランジスタの両隣および向かいに前記残りのワード線の転送トランジスタが配置されている、
ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記不揮発性半導体記憶装置は、前記複数の転送トランジスタのゲート線が延びる方向に沿って形成された第 1 素子分離絶縁膜を備え、

前記複数の転送トランジスタの各々は、前記複数のワード線のうち対応するワード線が接続される第 1 不純物領域および前記複数の駆動線のうち対応する駆動線が接続される第 2 不純物領域を含み、

前記複数の転送トランジスタは、前記第 1 不純物領域が前記第 1 素子分離絶縁膜に沿って形成された転送トランジスタで構成される第 1 グループ、および前記第 1 グループの前記第 1 不純物領域と前記第 1 素子分離絶縁膜を挟んで向かい合うように形成された前記第 1 不純物領域を有する転送トランジスタで構成される第 2 グループに分けられており、

前記任意ワード線の転送トランジスタの前記第 1 不純物領域の両隣および向かいに前記残りのワード線の転送トランジスタの前記第 1 不純物領域が配置されている、

ことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 前記複数のワード線の各々は、前記複数のメモリセルのうち対応するメモリセルの制御ゲートと、前記複数の転送トランジスタのうち対応する転送トランジスタの前記第 1 不純物領域から引き出されて前記制御ゲートの上層に配置されている引出配線と、を含み、

前記制御ゲートの並ぶ順番と前記引出配線の並ぶ順番とが同じである、

ことを特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】 前記複数のワード線の各々は、前記複数のメモリセルのうち対応するメモリセルの制御ゲートと、前記複数の転送トランジスタのうち対応する転送トランジスタの前記第 1 不純物領域から引き出されて前記制御ゲートの上層に配置されている引出配線と、を含み、

前記制御ゲートの並ぶ順番と前記引出配線の並ぶ順番とが異なっている、

ことを特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 5】 前記不揮発性半導体記憶装置は、間に絶縁膜が形成された複数の導電層の多層構造を備え、

前記引出配線は、前記複数の導電層のうち前記制御ゲートより 1 層上の導電層である、

ことを特徴とする請求項 3 または 4 に記載の不揮発性半導体記憶装置。

【請求項 6】 前記複数の転送トランジスタのうち、前記任意ワード線の転送トランジスタの斜め向かいに前記残りのワード線の転送トランジスタが配置されている、

ことを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 7】 前記複数の転送トランジスタのうち、前記任意ワード線の転送トランジスタの両隣および向かいに、前記任意ワード線の両隣に位置するワード線以外の前記残りのワード線の転送トランジスタが配置されている、

ことを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 8】 前記不揮発性半導体記憶装置は、前記複数の転送トランジスタの前記ゲート線が延びる方向に沿って形成されると共に前記第 1 素子分離絶縁膜よりも幅が大きい第 2 素子分離絶縁膜を備え、

前記複数の転送トランジスタは、前記第 1 および第 2 グループの他に、前記第 2 グループの前記第 2 不純物領域と前記第 2 素子分離絶縁膜を挟んで向かい合う前記第 1 不純物領域を有する転送トランジスタで構成される第 3 グループに分けられている、

ことを特徴とする請求項 2 ～ 7 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 9】 前記不揮発性半導体記憶装置は N A N D 型 E E P R O M である、

ことを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 1 0】 請求項 1 ～ 9 のいずれか 1 項に記載の不揮発性半導体記憶装置が搭載された電子カード。

【請求項 1 1】 カードインタフェースと、
前記カードインタフェースに接続されたカードスロットと、
前記カードスロットに電氣的に接続可能な請求項 1 0 に記載の前記電子カードと、

を備えることを特徴とする電子装置。

【請求項 1 2】 前記電子装置はデジタルカメラである、
ことを特徴とする請求項 1 1 に記載の電子装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電氣的にデータの書換えが可能な不揮発性半導体記憶装置に関し、例えば N A N D 型 E E P R O M に関する。

【0002】

【従来の技術】

従来より、半導体メモリの一つとして、データを電氣的に書換え可能としたEEPROMが知られている。中でも、1ビットを記憶する単位であるメモリセルを複数個直列接続して構成されたNANDセルを有するNAND型EEPROMは、高集積化できるものとして注目されている。NAND型は、例えば、デジタルスチルカメラの画像データを記憶するためのメモリカードに利用されている。

【0003】

NAND型EEPROMのメモリセルは、チャネル領域となる半導体基板上に絶縁膜を介して浮遊ゲートとワード線が積層されたFET-MOS構造を有する。NANDセルは、複数個のメモリセルを隣接するもの同士でソース／ドレインが共用される形で直列接続して構成される。ソース／ドレインとは、ソースおよびドレインのうち少なくともいずれかの機能を果たす不純物領域のことである。

【0004】

ここで、NAND型におけるデータの書込み方式の一例を簡単に説明する。

(1) “0” の書込み

チャネル領域の電圧が0Vの状態で、“0”を書込むべきメモリセルのワード線を選択してこのワード線の電圧を例えば20Vにし、かつこのワード線以外のワード線の電圧を例えば10Vにする。選択されたワード線とチャネル領域との間の電位差が大きいため、上記メモリセルの浮遊ゲートにトンネル電流により電子が注入される。これにより、上記メモリセルのしきい値が正の状態（“0”が書込まれた状態）となる。

(2) “1” の書込み

チャネル領域を0V以上の所定電圧のフローティング状態にした後、“1”を書込むべきメモリセルのワード線を選択してこのワード線の電圧を“0”書込みの場合と同様に20Vにする。このワード線以外のワード線の電圧を例えば10Vにする。これらにより、チャネル領域は選択されたワード線との容量カップリングにより電圧が上昇し、例えば8V程度になる。この場合は、“0”の書込み

の場合と異なり、選択されたワード線とチャネル領域との間の電位差が小さいため、“1”を書込むべきメモリセルの浮遊ゲートには、トンネル電流による電子注入が起こらない。したがって、上記メモリセルのしきい値は、負の状態（“1”が書込まれた状態）に保たれる。

【0 0 0 5】

“1”の書込み時に、チャネル領域の電圧上昇が小さいと、トンネル電流により電子が浮遊ゲートに注入されることにより、“0”書込みとなる。この書込み不良を防止するために、書込み方式の他の例では、“1”を書込むべきメモリセルのワード線の両隣に位置するワード線の電圧を0 Vにすることにより、チャネル領域の電圧上昇を大きくしている。

【0 0 0 6】

ところで、各ワード線には、各々に対応して転送トランジスタが設けられている。このトランジスタからワード線に電圧が供給される。上記書込み方式の他の例によれば、書込み時、選択されたワード線が2 0 V、両隣にあるワード線が0 V、これら以外のワード線が1 0 Vとなる。したがって、転送トランジスタは、対応するワード線に、2 0 V、1 0 Vおよび0 Vを供給する場合がある。

【0 0 0 7】

転送トランジスタ同士を分離する素子分離絶縁膜の耐圧は、隣同士にあるトランジスタ間の電位差が最大となる場合、具体的には隣同士にある転送トランジスタの一方が2 0 V、他方が0 Vの場合、を基準に定める必要がある。したがって、0 Vを利用しない上記書込み方式の一例に比べて、素子分離絶縁膜の耐圧を大きくする必要がある。これにより、素子分離絶縁膜の寸法が大きくなるため、転送トランジスタが配置される領域の面積（つまりロウデコーダの面積）が大きくなる。これを防止するために、転送トランジスタの配置を工夫した技術がある（例えば特許文献1）。

【0 0 0 8】

【特許文献1】

特開 2 0 0 2 - 1 4 1 4 7 7 号公報（図1、図2）

【0 0 0 9】

【発明が解決しようとする課題】

本発明は、転送トランジスタが配置される領域の面積を小さくすることが可能な不揮発性半導体記憶装置、これを搭載した電子カード、この電子カードを利用する電子装置を提供することを目的とする。

【0010】**【課題を解決するための手段】**

本発明に係る不揮発性半導体記憶装置は、電氣的にデータの書換えが可能な不揮発性の複数のメモリセルがアレイ状に配置されていると共に複数のブロックに分割されているメモリセルアレイと、複数のブロックの各々に配置されていると共に同一行のメモリセルにそれぞれ共通接続された複数のワード線と、複数のワード線に対応して設けられていると共に対応するワード線に電圧を供給する複数の駆動線と、複数のワード線および複数の駆動線のうち対応するワード線と駆動線を接続するスイッチとなる複数の転送トランジスタと、を備え、複数のワード線を、任意に決められた任意ワード線と、任意ワード線の両隣のワード線のそれぞれ隣に位置する二つ隣ワード線と、任意ワード線および二つ隣ワード線以外の残りのワード線と、に分けた際に、複数の転送トランジスタのうち、任意ワード線の転送トランジスタの両隣および向かいに残りのワード線の転送トランジスタが配置されている、ことを特徴とする。

【0011】

本発明に係る不揮発性半導体記憶装置によれば、任意ワード線の転送トランジスタの隣や向かいに、二つ隣ワード線の転送トランジスタではなく、残りのワード線の転送トランジスタが配置されるようにしている。したがって、隣接する転送トランジスタ間の電位差を低く抑えることができるため、転送トランジスタを互いに分離する素子分離絶縁膜の寸法を小さくできる。

【0012】**【発明の実施の形態】**

本発明の実施形態を以下の項目に分けて説明する。

〔第1実施形態〕**1. NANDセルの構造**

2. NANDセルの動作

(1) NANDセルの一般的な動作例

(2) 比較例

(3) 第1実施形態に係るNANDセルの動作例

3. 第1実施形態の特徴

(特徴1)

(特徴2)

(特徴3)

(特徴4)

(特徴5)

[第2実施形態]

[第3実施形態]

[電子カードおよび電子装置への適用]

なお、各実施形態を説明する図において、既に説明した図の符号で示すものと同一のものについては、同一符号を付すことにより説明を省略する。

【0013】

[第1実施形態]

1. NANDセルの構造

図1は、第1実施形態に係るNAND型EEPROMに備えられるNANDセルの断面の模式図である。図2は、図1のII(a)-II(b)断面の模式図である。図3は、図1のNANDセルの等価回路図である。

【0014】

図1～図3に示すように、NANDセル1は、p-型の半導体基板3に16個のメモリセルMC0～15が形成された構造を有する。メモリセルは、データの電気的な書換えが可能な不揮発性のセルである。各メモリセルは同じ構成をしており、メモリセルMC0を例にすれば、基板3の表面に所定の間隔を設けて形成されたn+型の不純物領域5（ソース／ドレイン）と、基板3のうち不純物領域5同士の上に位置するチャンネル領域7と、領域5、7の周囲に形成された素子分離絶縁膜9と、チャンネル領域7上にゲート絶縁膜11を介して形成された浮遊ゲ

ート13と、浮遊ゲート13上に絶縁膜15を介して形成されたワード線WL0と、を備える。なお、浮遊ゲート層FGは、浮遊ゲート13が形成されている導電層を示し、制御ゲート層CGは、ワード線WL0～15のうち制御ゲートとなる部分が形成されている導電層を示している。

【0015】

NAND1セルは、16個のメモリセルを隣接するもの同士でソース／ドレインが共用される形で直列接続して構成される。NANDセル1を構成するメモリセルの数が16個の場合で説明しているが、メモリセルの数が8, 32, 64個等の場合でもよい。

【0016】

メモリセルMC0側には、選択ゲート線SG1を有する選択トランジスタTr1が形成されている。このトランジスタTr1の電流経路の一端が不純物領域5を介してメモリセルMC0の電流経路の一端に接続されている。選択トランジスタTr1は、NANDセル1とソース線CELSRCとの接続および切り離しの制御をする。

【0017】

一方、メモリセルMC15側には、選択ゲート線SG2を有する選択トランジスタTr2が形成されている。選択トランジスタTr2は不純物領域5を介して電流経路の一端がメモリセルMC15の電流経路の一端と接続されている。トランジスタTr2は、NANDセル1とビット線BLとの接続および切り離しの制御をする。選択トランジスタTr1、メモリセルMC0～15、選択トランジスタTr2は直列接続されており、この直列接続の電流経路の一端にビット線BLが、他端にソース線CELSRCが接続されていることになる。なお、選択ゲート線SG1, 2の上には、導電膜17がある。導電膜17は、選択ゲート線SG1, 2と接続されていても、浮遊状態でもよい。

【0018】

メモリセルMC0～15および選択トランジスタTr1, 2を覆うように第1層間絶縁膜19が形成されている。第1層間絶縁膜19上には第1導電層M0が形成されている。導電層M0には、ビット線の間接続配線層、ソース線CEL

SRCおよび選択ゲートSG1、SG2のシャント配線18等が含まれる。ソース線CELSRCは、転送トランジスタTr1の電流経路の一端と接続、つまり半導体基板3に形成されたn+型の不純物領域21に接続される。この接続箇所をセルソースコンタクトCSCという。

【0019】

第1導電層M0を覆うように第2層間絶縁膜22が形成されている。第2層間絶縁膜22上には第2導電層M1が形成される。M1には、ワード線WL0～15と交差する方向に延びるビット線BLが含まれる。ビット線BLは、転送トランジスタTr2の電流経路の一端と接続、つまり半導体基板3に形成されたn+型の不純物領域21に接続される。この接続箇所をビット線コンタクトBLCという。なお、NANDセル1は、半導体基板3中のp型ウェルに形成されている。

【0020】

NANDセル1がマトリクス状（アレイ状の一例）に配置されてメモリセルアレイが構成される。図4は、メモリセルアレイ23の一部およびブロック選択回路25の一部の等価回路図である。メモリセルアレイ23は複数のブロックBKに分割されている。図4中の破線で囲まれた領域が1個のブロックBKとなる。読出しや書込み等の動作は、通常、複数のブロックBKのうち1個を選択して実行される。

【0021】

ワード線WL0～15は、各ブロックBKに配置されており、かつ各ブロックBKの同一行のメモリセルにそれぞれ共通接続されている。選択ゲート線SG1、2も、ブロックBKの同一行の選択トランジスタにそれぞれ共通接続されている。複数のビット線BLは、メモリセルアレイ23の同一列のNANDセルにそれぞれ接続可能にされている。

【0022】

ブロック選択回路25はロウデコーダの集合であり、これにより複数のブロックBKの中から書込み等をするメモリセルが配置されているブロックBKが選択される。ブロック選択回路25は、転送トランジスタが配置される領域である転

送トランジスタ領域 R、デコーダ 2 7 および昇圧電位転送部 2 9 を含む。

【 0 0 2 3 】

転送トランジスタ領域 R は、ブロック B K 毎に設けられている。領域 R には、1 6 個の転送トランジスタ Q 0 ~ 1 5 が配置されている。Q 0 ~ 1 5 の一方のソース／ドレイン（第 1 不純物領域）には対応するワード線 W L 0 ~ 1 5 が接続され、他方のソース／ドレイン（第 2 不純物領域）には対応する駆動線 D L 0 ~ 1 5 が接続されている。D L 0 ~ 1 5 は、対応するワード線に電圧を供給する。転送トランジスタ Q 0 ~ 1 5 は、ワード線 W L 0 ~ 1 5 と駆動線 D L 0 ~ 1 5 を接続するスイッチとなる。

【 0 0 2 4 】

なお、ブロック B K 毎に、選択ゲート S G 1, 2 に電圧を転送するトランジスタ 3 1, 3 3 が設けられている。トランジスタ 3 1, 3 3 は、それぞれ、選択ゲート S G 1, 2 と選択ゲート駆動線 S D L 1, 2 を接続するスイッチとなる。転送トランジスタ Q 0 ~ 1 5 およびトランジスタ 3 1, 3 3 の各ゲートはゲート線 3 5 に共通接続されている。

【 0 0 2 5 】

ブロック B K の選択には、行アドレス信号のうちの一部である信号 A が用いられる。デコーダ 2 7 には、信号 A が入力される。デコーダ 2 7 が信号 A をデコードすることにより、ブロック B K が選択される。デコーダ 2 7 は、選択されたブロック B K に対応したブロック選択信号を出力する。このブロック選択信号は昇圧電位転送回路 2 9 に送られる。この回路 2 9 には V R D E C 電圧（例えば 2 2 V）が供給されている。この回路 2 9 はブロック選択信号により、転送トランジスタ Q 0 ~ 1 5 やトランジスタ 3 1, 3 3 をオンするのに必要な電位を供給するか否かを制御する。

【 0 0 2 6 】

例えば選択されたブロック B K がブロック B K 0 の場合、B K 0 のデコーダ 2 7 から出力されたブロック選択信号 S 0 は、昇圧電位転送回路 2 9 で昇圧される。この昇圧されたブロック選択信号 S 0 H が領域 R 0 のゲート線 3 5 に供給される。これにより、領域 R 0 の転送トランジスタ Q 0 ~ 1 5 およびトランジスタ 3

1, 33 がオンする。この結果、領域 R0 において、ワード線 WL0 ~ 15 と駆動線 DL0 ~ 15 が接続され、選択ゲート SG1, 2 と選択ゲート駆動線 SDL1, 2 が接続される。

【0027】

これに対して、選択されていないブロック BK に対応する転送トランジスタ領域 R のゲート線 35 は接地されているため、この領域 R の転送トランジスタ Q0 ~ 15 およびトランジスタ 31, 33 はオフのままである。

【0028】

なお、行アドレス信号がプリデコード処理される場合、デコーダ 27 には、信号 A がプリデコード処理された信号が入力されるようにしてもよい。行アドレス信号をプリデコード処理することにより、H レベルの信号が供給されている配線の数が少なくなるので、消費電力を低くすることができる。

【0029】

2. NANDセルの動作

第1実施形態に係る NANDセルの動作について説明する前に、この動作の理解のために、まず (1) NANDセルの一般的な動作例、(2) 比較例、を説明する。その後 (3) 第1実施形態に係る NANDセルの動作例を説明する。

【0030】

(1) NANDセルの一般的な動作例

書込み動作について、図5 ~ 図8を用いて説明する。図5は、“0”書込みがされるメモリセルを含む NANDセルの等価回路図であり、図7は“1”書込みの場合のそれである。図5, 7の NANDセル1は、図3の NANDセル1と同じである。図6は、“0”書込みがされるメモリセルの模式図であり、図8は“1”書込みの場合のそれである。

【0031】

書込みは、NANDセル1が消去状態、つまり NANDセル1の各メモリセルのしきい値が負電圧の状態にしてから実行される。書込みは、ビット線コンタクト BLC から最も離れた位置のメモリセル MC0、つまりソース線 CELSRC 側のメモリセルから順に行う。メモリセル MC3 への書込みを例として説明する

。

【0032】

まず、“0”書込みをする場合、図5および図6に示すように、選択ゲート線SG2に例えばVCC（電源電圧）を印加して選択トランジスタTr2をオンにすると共にビット線BLを0V（接地電圧）にする。なお、選択ゲート線SG1は0Vなので、選択トランジスタTr1はオフを維持する。

【0033】

次に、メモリセルMC3のワード線WL3を高電圧（20V程度）とし、これ以外のワード線を中間電圧（10V程度）にする。ビット線BLの電圧は0Vなので、その電圧は選択されたメモリセルMC3のチャネル領域7まで伝達される。つまり、チャネル領域7の電位は0Vが維持される。

【0034】

ワード線WL3とチャネル領域7との間の電位差が大きいため、メモリセルMC3の浮遊ゲート13にトンネル電流により電子eが注入される。これにより、メモリセルMC3のしきい値が正の状態（“0”が書込まれた状態）となる。

【0035】

一方、“1”書込みをする場合について、上記“0”書込みと異なる点を中心に図7および図8を用いて説明する。まず、ビット線BLを例えばVCC（電源電圧）にする。選択ゲート線SG2の電圧がVCCであるため、チャネル領域7の電圧がVCCマイナス V_{th} （ $VCC - V_{th}$ 、なお V_{th} は選択トランジスタTr2のしきい値電圧である。）になると、選択トランジスタTr2がカットオフする。したがって、チャネル領域7は、電圧が $VCC - V_{th}$ のフローティング状態となる。

【0036】

次に、ワード線WL3に20V、それ以外のワード線に10Vの電圧を印加すると、各ワード線とチャネル領域7との容量カップリングにより、チャネル領域7の電圧が $VCC - V_{th}$ から上昇し例えば8V程度となる。

【0037】

チャネル領域7の電圧が高電圧に昇圧されるため、“0”の書込みの場合と異

なり、ワード線WL 3とチャネル領域7の間の電位差が小さい。したがって、メモリセルMC 3の浮遊ゲート13には、トンネル電流による電子注入が起こらない。よって、メモリセルMC 3のしきい値は、負の状態（“1”が書込まれた状態）に保たれる。

【0038】

なお、一本のワード線に共通接続されたメモリセルに、一括して書込み（例えば2kバイトや512バイト分のデータの同時書込み）をすることにより、書込みの高速化を図っている。

【0039】

次に、NANDセルの一般的な動作例のうち、消去動作を説明する。消去は、選択されたNANDセルのブロックBK（図4）内の全てのメモリセルに対して同時に行われる。即ち、選択されたブロックBK内の全てのワード線を0Vとし、半導体基板3（図1、なお、p型ウェルにNANDセルが形成されている場合はp型ウェル）に高電圧（例えば22V程度）を印加する。一方、ビット線、ソース線、非選択のブロック中のワード線及び全ての選択ゲート線をフローティング状態とする。これにより、選択されたブロックBKの全てのメモリセルにおいて浮遊ゲート中の電子がトンネル電流により半導体基板に放出される。この結果、これらのメモリセルのしきい値電圧が負方向にシフトする。

【0040】

読出し動作は、読出しの選択がされたブロックのメモリセルのワード線を例えば0Vとし、読出しの選択がされていないメモリセルのワード線及び選択ゲート線をVCC（電源電圧）若しくは電源電圧より少し高い読出し用中間電圧VREADとする。これにより、読出しの選択がされたメモリセルに電流が流れるか否かを検出する。

【0041】

（2）比較例

図9は、比較例の書込み動作を説明するためのタイミングチャートである。図10は、比較例において“0”書込みがされるメモリセルを含むNANDセルの模式図である。図11は、“1”書込みがされる場合である。比較例については

、NANDセルの一般的な動作例と異なる点を中心に説明する。

【0042】

図9および図10に示すように、“0”書込みにおいて、ワード線WL3の両隣に位置するワード線WL2, 4の電圧が0Vに保たれている。メモリセルMC3～15はしきい値が負電圧であるため、ビット線BLと導通している。よって、これらのメモリセルのチャネル領域7の電圧は0Vとなる。ワード線WL3に20Vの電圧を印加することにより、図6に示す一般的な動作例の場合と同様に、メモリセルMC3の浮遊ゲート13にトンネル電流により電子eが注入される。これにより、メモリセルMC3のしきい値が正の状態（“0”が書込まれた状態）となる。

【0043】

“1”書込みも“0”書込みと同様に、図9および図11に示すように、ワード線WL3の両隣に位置するワード線WL2, 4の電圧が0Vに保たれている。時刻t1において、ビット線BLの電圧をVCCに立ち上げる。これにより、一般的な動作例で説明したように、チャネル領域7は、電圧が $VCC - V_{th}$ のフローティング状態となる。

【0044】

時刻t2でワード線WL0, 1, 5～15の電圧を10Vに立ち上げる。この電圧上昇に伴って、メモリセルMC0～15のチャネル領域7の電位が容量結合により上昇する。詳細には、メモリセルMC0, 1のチャネル領域7の電位が V_{ch1} に、メモリセルMC5～15のチャネル領域7の電位が V_{ch3} にそれぞれ上昇する。ワード線WL2, 4が0Vに保たれると共にこの時点ではワード線WL3の電圧も0Vなので、メモリセルMC3のチャネル領域7はワード線WL2～4による電位上昇は生じない。しかし、メモリセルMC3のチャネル領域7は、両側のチャネル領域の電位が $V_{ch1}, 3$ に上昇するに伴って、電位が V_{ch2} に上昇する。 V_{ch2} は、メモリセルMC2, 4のしきい値落ち電圧の大きさ（ $VCC - V_{th}$ ）と略等しい。

【0045】

時刻t3でワード線WL3の電圧を20Vに立ち上げるにより、メモリセ

ルMC 3のチャネル領域7の電位はV_{ch2}からさらに上昇する。これにより、ワード線WL 3とメモリセルMC 3のチャネル領域7との電位差が小さくなる。したがって、メモリセルMC 3の浮遊ゲート13には、トンネル電流による電子注入が起こらない。よって、メモリセルMC 3のしきい値は、負の状態（“1”が書込まれた状態）に保たれる。

【0046】

つまり、“1”の書込み時に、チャネル領域の電圧上昇が小さいと、トンネル電流により電子が浮遊ゲートに注入されることにより、“0”書込みとなる。この書込み不良を防止するために、比較例では、“1”を書込むべきメモリセルのワード線の両隣に位置するワード線の電圧を0Vとすることにより、チャネル領域の電圧上昇を大きくしている。

【0047】

（3）第1実施形態に係るNANDセルの動作例

第1実施形態の動作例については、図12～図14を用いて、比較例と異なる点を中心に説明する。図12は、第1実施形態の動作例のうち書込み動作を説明するためのタイミングチャートであり、図9と対応している。図13は、“0”書込みがされるメモリセルを含むNANDセルの模式図であり、図10と対応している。図14は、“1”書込みがされる場合であり、図11と対応している。

【0048】

第1実施形態では、ワード線WL 3（任意ワード線の一例）の両隣のワード線WL 2，4のそれぞれ隣に位置するワード線WL 1，5（二つ隣ワード線の一例）の電圧を0Vに維持している。これ以外は比較例と同じである。

【0049】

第1実施形態の利点は以下の通りである。図13に示す“0”書込みでは、両隣のワード線WL 2，4の電圧が10Vにされるので、比較例と異なり、メモリセルMC 2，4の浮遊ゲートの電位が容量結合により上昇する。この電位の上昇に伴いメモリセルMC 2，4の間にあるメモリセルMC 3の浮遊ゲートの電位も上昇する。したがって、メモリセルMC 3への書込みが加速されるため、ワード線WL 3に印加する電圧を下げることができる。これにより、転送トランジスタ



領域 R (図 4) の素子分離絶縁膜の幅を小さくできるので、領域 R の面積を小さくできる。この結果、ロウデコーダの占有面積を小さくできる。

【0050】

一方、図 14 に示す “1” 書込みでは、比較例よりも誤書き込み防止効果が高まる。詳細に説明すると、“1” 書込み時、メモリセル MC 3 のチャネル領域 7 の電位は V_{ch2} に上昇されている。しかし、メモリセル MC 3 のチャネル領域 7 からのリーク電流により、このチャネル領域 7 の電位は下がる。電位が下がった状態で書込みを続けると誤書き込みされるので、ワード線 WL 3 に電圧を印加する時間は、リーク電流の観点から制限される。第 1 実施形態では、比較例と異なり、メモリセル MC 3 に加えて、両隣のメモリセル MC 2, 4 のチャネル領域 7 の電位が V_{ch2} なので、リーク電流による電位降下に時間を要し、誤書き込みが生じにくくすることができる。

【0051】

3. 第 1 実施形態の特徴

(特徴 1)

上記の通り、第 1 実施形態の書込み方式は、データを書込むべきメモリセルに接続されたワード線を例えばワード線 WL 3 とした場合、両隣のワード線 WL 2, 4 のそれぞれ隣に位置するワード線 WL 1, 5 の電圧を 0 V に維持して、メモリセルにデータを書込んでいる。第 1 実施形態は、この書込み方式において、図 4 の転送トランジスタ領域 R の面積を小さくするために、転送トランジスタ Q 0 ~ 15 のレイアウトに工夫したことを特徴としている。以下、詳細に説明する。

【0052】

図 15 は第 1 実施形態に係る転送トランジスタ領域の模式図である。この図には、転送トランジスタ Q 0 ~ 15 のレイアウトやこれらに接続されるワード線 WL 0 ~ 15 が示されている。図 4 に示す等価回路図では、転送トランジスタ Q 0 ~ 15 がビット線 BL の延びる方向に一行に描かれている。しかし、実際には、転送トランジスタ Q 0 ~ 15 はグループ G 1 (第 1 グループの一例) およびグループ G 2 (第 2 グループの一例) に分けられている。各グループは、ワード線 WL 0 ~ 15 の延びる方向に配置された 8 個の転送トランジスタから構成されてい

る。グループG1, 2はビット線の延びる方向に配置されている。言い換えれば、転送トランジスタQ0~15は、ビット線の延びる方向に2段に配置されている。

【0053】

転送トランジスタQ0~15は、図1の半導体基板3に形成されたNMOSTランジスタである。Q0~15のそれぞれの不純物領域41（第1不純物領域の一例）には、ワード線WL0~15のうち対応するワード線が接続されており、不純物領域43（第2不純物領域の一例）には、駆動線DL0~15のうち対応する駆動線が接続されている。不純物領域41, 43は、ソース／ドレインとして機能する。なお、距離dで示すグループG1とグループG2の駆動線DLのコンタクト間の距離は、ブロックBK（NANDセル1）のビット線方向の寸法と同じである。

【0054】

転送トランジスタQ0~15は素子分離絶縁膜37により互いに電氣的に分離されている。この絶縁膜37のうちグループG1とグループG2の間でかつQ0~15のゲート線35が延びる方向（ワード線が延びる方向）に形成されているのを第1素子分離絶縁膜39とする。グループG1の転送トランジスタの不純物領域41は、第1素子分離絶縁膜39に沿って形成されている。この不純物領域41と第1素子分離絶縁膜39を挟んで、グループG2の転送トランジスタの不純物領域41が向かい合っている。

【0055】

ここで、ワード線WL0~15のうち、任意に決められたワード線を任意ワード線と命名し、任意ワード線の両隣のワード線のそれぞれ隣に位置するワード線を二つ隣ワード線と命名し、任意ワード線および二つ隣ワード線以外のワード線を残りのワード線と、それぞれ命名する。例えば、ワード線WL3を任意ワード線にした場合、二つ隣ワード線はワード線WL1, 5であり、残りのワード線はワード線WL0, 2, 4, 6~15である。

【0056】

第1実施形態では、転送トランジスタQ3の両隣に転送トランジスタQ0, 6

を配置し、向かいに転送トランジスタQ10が配置されている。つまり、複数の転送トランジスタのうち、任意ワード線の転送トランジスタの両隣および向かいに、二つ隣ワード線の転送トランジスタが配置されるのではなく、残りのワード線の転送トランジスタが配置されている。これは、不純物領域の観点から見ると、任意ワード線の転送トランジスタの不純物領域41の両隣および向かいにそれぞれ残りのワード線の転送トランジスタの不純物領域41が配置されている。

【0057】

このような配置により、任意ワード線の転送トランジスタと、両隣や向かいのワード線の転送トランジスタと、の間の電位差が大きくなるのを防止している。このことを図16～図18を用いて説明する。図16は、図15の転送トランジスタ領域Rからワード線WL0～15の配線を省いた図である。図17、18は図16の比較となる図であり、図16と異なるのは転送トランジスタQ0～15のレイアウトである。図17と図18はレイアウトが同じであるが、図17では20Vの電圧がワード線WL3に印加されている場合を示すのに対して、図18ではワード線7に20Vの電圧が印加されている。

【0058】

比較例である図17のレイアウトでは、転送トランジスタQ3の隣に転送トランジスタQ5が配置されている。したがって、ワード線WL3に接続されたメモリセルに書込みをするためにワード線WL3の電圧を20Vにした際、二つ隣ワード線であるワード線WL5の電圧は0Vとされるため、転送トランジスタQ3とQ5との間で電位差20Vが生じる。この電位差に耐えるように素子分離絶縁膜37の寸法を設定しなければならない。

【0059】

素子分離絶縁膜37の寸法の設定について、図18で具体的に説明する。図18は図17と同じレイアウトであるが、ワード線WL7に20Vが印加されている場合を示している。素子分離絶縁膜37のうち、転送トランジスタQ5とQ7の間を素子分離絶縁膜37a、Q7とQ9の間を素子分離絶縁膜37bとする。

【0060】

ワード線WL7の電圧が20Vなので、二つ隣のワード線WL5、9の電圧は

0 Vである。転送トランジスタQ 7の隣には転送トランジスタQ 5、向かいには転送トランジスタQ 9が配置されている。したがって、Q 5とQ 7との間、Q 7とQ 9との間でそれぞれ電位差20 Vが生じる。これを考慮して素子分離絶縁膜37の寸法を設定する必要がある。

【0061】

つまり、素子分離絶縁膜37a上のゲート線35をゲート電極とし、電流がQ 5の不純物領域41、43とQ 7の不純物領域41、43間に流れる構造を有する寄生トランジスタが形成されている。この寄生トランジスタが動作しない又は動作しても流れる電流が所定値以下になるように、素子分離絶縁膜37aの幅w1を十分大きくする必要がある。また、転送トランジスタQ 7とQ 9の間では、素子分離絶縁膜37bの絶縁破壊が生じないように、素子分離絶縁膜37bの幅w2を十分大きくする必要がある。なお、ゲート線35を転送トランジスタ毎に分断した構造の場合、素子分離絶縁膜37a上にはゲート線35がないので、寄生トランジスタができない。よって、素子分離絶縁膜37aの幅w1の設定は、素子分離絶縁膜37bの幅w2の設定と同様の考え方となる。

【0062】

幅w1が大きくなると、転送トランジスタ領域R（つまりロウデコーダ）のワード線方向の寸法が大きくなる。幅w2が大きくなっても、図15に示す距離dが大きければ問題はない。しかし、メモリセルの微細化により距離dが小さくなると、転送トランジスタQ 0～15を2段に配置できず、ワード線方向に一列に配置しなければならない。よって、転送トランジスタ領域Rのワード線方向をセルの寸法に収めるのが困難になる。

【0063】

これに対して、図16に示すように、第1実施形態では、任意ワード線の転送トランジスタの隣や向かいに残りのワード線の転送トランジスタが配置されるようにしている。例えば、ワード線WL 3の転送トランジスタQ 3の両隣にワード線WL 0、6の転送トランジスタQ 0、6を配置し、向かいにワード線WL 10の転送トランジスタQ 10が配置されている。したがって、第1実施形態では、隣接する転送トランジスタ間の電位差の最大を10 Vに抑えることができるため

、図 17、18 の比較例に比べて素子分離絶縁膜 37 の寸法を小さくできる。よって、第 1 実施形態によれば、転送トランジスタ領域 R、つまりロウデコーダの面積を小さくすることができるので、NAND 型 EEPROM の小型化が可能となる。なお、図 15 に示す転送トランジスタ Q0～15 の配置は一例であり、任意ワード線の転送トランジスタの両隣および向かいに、残りのワード線の転送トランジスタが配置されていればよい。

【0064】

(特徴 2)

図 15 に示すように、転送トランジスタ Q3 の斜め向かいに転送トランジスタ Q13、14 が配置されている。つまり、第 1 実施形態は、複数の転送トランジスタのうち、任意ワード線の転送トランジスタの斜め向かいに、残りのワード線の転送トランジスタが配置されていることを特徴の一つとしている。これによる効果を説明する。

【0065】

任意ワード線の転送トランジスタの斜め向かいにある転送トランジスタは、隣や向かいにある転送トランジスタに比べて、任意ワード線の転送トランジスタとの距離が大きくなる。このため、任意ワード線の転送トランジスタと、これの斜め向かいにある転送トランジスタと間の素子分離絶縁膜の耐圧は比較的大きくなる。

【0066】

しかし、メモリセルの微細化に従い上記距離が十分とれなくなる場合、これらの間の素子分離絶縁膜の耐圧が 20 V 以下になる可能性がある。第 1 実施形態によれば、任意ワード線の転送トランジスタと、これの斜め向かいにある転送トランジスタとの間の電位差が 20 V になることを防ぐことができる。よって、転送トランジスタ領域 R の面積を大きくすることなく、任意ワード線の転送トランジスタとこれの斜め向かいにある転送トランジスタとの分離を確保できる。

【0067】

(特徴 3)

第 1 実施形態では、任意ワード線の両隣のワード線の転送トランジスタについ

でも、二つ隣ワード線の転送トランジスタと同様の配置をしている。例えば、任意ワード線をワード線WL 3にした場合、転送トランジスタQ 3の両隣や向かいにワード線WL 2, 4の転送トランジスタQ 2, 4が配置されないようにしている。つまり、任意ワード線の転送トランジスタの両隣および向かいに、任意ワード線の両隣に位置するワード線以外の残りのワード線の転送トランジスタが配置されている。

【0068】

よって、「2. NANDセルの動作」の「(2) 比較例」の場合でも、任意ワード線の転送トランジスタと、この両隣および向かいにある転送トランジスタと、間の電位差が20Vになることを防ぐことができる。つまり、第1実施形態に係るNAND型EEPROMを、比較例の書込み方式にしても、転送トランジスタの配置を変えることなく、上記電位差が20Vになることを防ぐことができる。

【0069】

(特徴4)

図15に示すように、ワード線WL 0～15は、制御ゲート45と引出配線47とで構成されている。第1実施形態では、制御ゲート45の並ぶ順番と引出配線47の並ぶ順番とを同じにしたことを特徴の一つにしている。以下、詳細に説明する。

【0070】

図19は、図15の転送トランジスタ領域RとブロックBKとの境界の断面の模式図である。図19にはワード線WL 8が表れている。ワード線WL 8の制御ゲート45や転送トランジスタQ 8を覆うように層間絶縁膜49が形成されている。制御ゲート45は、ポリシリコン膜とシリサイド膜（例えばWSi）の積層構造を有する。層間絶縁膜49上には引出配線47が形成されている。引出配線47の材料は、例えばタングステンである。引出配線47の一端は、層間絶縁膜49に埋め込まれたプラグ51により制御ゲート45と接続されており、他端は、層間絶縁膜49に埋め込まれたプラグ53により不純物領域41と接続されている。プラグの材料は、例えばタングステンである。

【0071】

引出配線 47 を覆うように、層間絶縁膜 55 が形成されている。層間絶縁膜 55 上には例えばアルミニウムからなる配線 57 が形成されている。層間絶縁膜 59 が配線 57 を覆うように形成されている。層間絶縁膜 59 上には例えばアルミニウムからなる配線 61 が形成されている。

【0072】

以上のように、ワード線 WL 0 ～ 15 は、制御ゲート 45 と、転送トランジスタ Q 0 ～ 15 の不純物領域 41（第 1 不純物領域の一例）から引き出されて制御ゲート 45 の上層に配置されている引出配線 47 と、で構成される。

【0073】

第 1 実施形態では、制御ゲート 45 の並ぶ順番と引出配線 47 の並ぶ順番とが同じにされている。つまり、制御ゲート 45 は、ワード線 WL 0 の制御ゲート、ワード線 WL 1 の制御ゲート、・・・、ワード線 WL 15 の制御ゲートの順番に並んでいる。同様に、引出配線 47 も、ワード線 WL 0 の引出配線、ワード線 WL 1 の引出配線、・・・、ワード線 WL 15 の引出配線の順番に並んでいる。これにより、ワード線 WL 0 ～ 15 の並ぶ順番は、ブロック BK と転送トランジスタ領域 R とで同じになるため、引出配線 47 と、デザインルールが最も厳しい制御ゲート 45 との接続が容易となる。なお、引出配線 47 の材料は、タンゲステン以外に銅やアルミニウムなどでもよい。

【0074】

（特徴 5）

図 19 に示すように、第 1 実施形態は、間に絶縁膜 49，55，59 が形成された複数の導電層 45，47，57，61 の多層構造を有している。第 1 実施形態では、引出配線 47 は、複数の導電層のうち制御ゲート 45 より 1 層上の導電層であり、不純物領域 41 に直接に接続されていることを特徴にしている。これによる効果は次の通りである。

【0075】

半導体記憶装置の製造プロセスにおいて、導伝層 45 を形成後、コンタクト 51，53 を形成する際に、コンタクトのエッチング工程で導伝層 45 が帯電し静

電気が不可避免的に発生する。同様に導伝層 45, 47 を形成後、導電層 47 と 57 を接続するコンタクトを形成する際に、コンタクトのエッチング工程で導伝層 47 が帯電し、静電気が不可避免的に発生する。この静電気が製造プロセス中に制御ゲート 45 に流れこむと、メモリセルが静電破壊されることがある。制御ゲート 45 の一端が引出配線を介して不純物領域 41 に接続されると、静電気は不純物領域 41 を通り半導体基板 3 から接地に流れるので、メモリセルの静電破壊を防ぐことができる。

【0076】

制御ゲート 45 と不純物領域 41 の接続に、制御ゲート 45 より 1 層上の導電層よりも上の導電層（配線 57, 61）を用いることもできるが、製造プロセスにおいて、制御ゲート 45 が不純物領域 41 に接続されていない状態が長く続くので、それだけ静電破壊の可能性が高まる。第 1 実施形態では、制御ゲート 45 と不純物領域 41 との接続に制御ゲート 45 より 1 層上の導電層 47 のみを用い、導電層 47 を不純物領域 41 に直接に接続することにより、メモリセルの静電破壊の可能性を低くしている。

【0077】

[第 2 実施形態]

次に第 2 実施形態について、第 1 実施形態との相違を中心に説明する。図 20 は、第 2 実施形態に係る転送トランジスタ領域 R の模式図であり、第 1 実施形態の図 15 と対応する。図 21 は、図 20 のワード線 WL 0 ~ 4 を拡大した図である。

【0078】

第 2 実施形態は、制御ゲート 45 の並ぶ順番と引出配線 47 の並ぶ順番とを異ならせることを特徴としている。これにより、ワード線 WL 0 ~ 15 の並ぶ順番を、ブロック BK と転送トランジスタ領域 R とで異ならせている。以下、これについて説明する。

【0079】

例えばワード線 WL 2 に注目すると、図 15 に示す第 1 実施形態では、ワード線 WL 2 に対応する転送トランジスタ Q2 は、ワード線 WL 0 に対応する転送ト

ランジスタ Q0 やワード線 WL1 に対応する転送トランジスタ Q1 よりも、ブロック BK からみて転送トランジスタ領域 R の奥にある。したがって、ワード線 WL2 はワード線 WL0, 1 との接触を避けるように、これらを迂回して配置される。

【0080】

これに対して第2実施形態では、図20, 21に示すように、転送トランジスタ領域 R において、ワード線 WL2 をワード線 WL0, 1 よりも手前に並べている。このため、ワード線 WL2 を迂回させることなく配置できる。このことは、第1素子分離絶縁膜 39 上を通るワード線の本数を少なくできることを意味する。したがって、転送トランジスタ領域 R においてワード線のピッチに余裕ができるため、ワード線の形成が容易となる。

【0081】

特に、第1素子分離絶縁膜 39 の微細化が進むと、この上に配置できるワード線の本数も減るので、第2実施形態のように、ワード線の順番を変える効果は大きい。なお、ワード線の順番を変えるのは、図21に示すように、制御ゲート 45 と引出配線 47 を立体交差させることにより実現できる。

【0082】

[第3実施形態]

次に、第3実施形態について、図22を用いて、第1および第2実施形態との相違を中心に説明する。図22は、第3実施形態に係る転送トランジスタ領域の模式図であり、第1実施形態の図16と対応する。

【0083】

第3実施形態では、グループ G1 (第1グループの一例) およびグループ G2 (第2グループの一例) に加えて、グループ G3 (第3グループの一例) を備えている。グループ G3 とグループ G2 の間に、第1素子分離絶縁膜 39 の幅 w_2 よりも大きい幅 w_3 をした第2素子分離絶縁膜 63 を備えたことを特徴としている。これにより、転送トランジスタ領域 R の面積を小さくすると各転送トランジスタの分離との両立を図っている。以下、第3実施形態の上記特徴について詳細に説明する。

【0084】

第1, 2実施形態では、NANDセル1（図3）を構成するメモリセルが16個であったが、第3実施形態では32個である。したがって、転送トランジスタQの数も32個となる。32個の転送トランジスタQをグループG1, 2に分けて配置すると、転送トランジスタ領域Rのワード線方向の寸法が大きくなる。メモリセルが32個なのでNANDセルのビット線方向の寸法が大きくなり、これに伴い領域Rのビット線方向の寸法も大きくなる。そこで、第3実施形態では、転送トランジスタQをグループG1, 2, 3に分けて3段に配置している。

【0085】

グループG3の転送トランジスタQの不純物領域41（第1不純物領域の一例）は、ゲート線35が延びる方向に沿って形成された第2素子分離絶縁膜63を挟んで、グループG2の転送トランジスタQの不純物領域43（第2不純物領域の一例）と向かい合っている。

【0086】

NAND型では、メモリセルに記憶されたデータの消去は、ブロックBK単位でなされる。つまり、選択されたブロックBKのメモリセルに記憶されたデータが一括消去される。図22は、データ消去時に非選択のブロックBKのワード線WLに電圧を転送する場合の転送トランジスタQの電圧を示している。

【0087】

データ消去時、駆動線DLの電圧が0Vにされ、半導体基板3（図1）の電圧は20Vにされる。非選択のブロックBKに対応する転送トランジスタQのゲート線35は0Vなので、転送トランジスタQはオフとなる。したがって、不純物領域41には、容量カップリングにより半導体基板3の電圧と略等しい20Vの浮遊状態になり、一方、不純物領域43は駆動線DLの電圧である0Vとなる。

【0088】

以上のように、データ消去時、非選択のブロックBKに対応する転送トランジスタ領域Rでは、電位差が20Vの箇所が発生する。そこで、第3実施形態では、第2素子分離絶縁膜63の幅w3を比較的大きくしている。これにより、グループG2とグループG3の転送トランジスタの素子分離を図り、かつグループG

3の不純物領域41(20V)から、グループG2の不純物領域43(0V)へのリークを低減している。このリークが大きいとグループG3の不純物領域は浮遊状態なので、メモリセルのワード線と半導体基板の電位差が大きくなり、誤消去される。第3実施形態では、上記リークを低減できるため、誤消去を防止できる。以上説明したように、第3実施形態では、第2素子分離絶縁膜63の幅w3が大きくなるが、第1, 2実施形態で説明したように第1素子分離絶縁膜39の幅w2を小さくできるので、転送トランジスタ領域Rのビット線方向の寸法が大きくなるのを防ぐことができる。

【0089】

図22に示す第3実施形態におけるワード線や駆動線の番号から分かるように、これまでの実施形態と同様に、任意ワード線の転送トランジスタの両隣、向かい及び斜め向かいに残りのワード線の転送トランジスタが配置されている。

【0090】

第1～第3実施形態では、NANDセル型EEPROMを例にしたが、本発明はこれに限られるものではなく、例えばDINORセル型EEPROM、ANDセル型EEPROMにおいても適用可能である。

〔電子カードおよび電子装置への適用〕

次に、本発明の実施形態に係る電子カードおよびその電子カードを用いた電子装置について説明する。図23は、本発明の実施形態に係る電子カードおよび電子装置の構成を示す。ここでは電子装置は、携帯電子機器の一例としてのデジタルスチルカメラ101を示す。電子カードは、デジタルスチルカメラ101の記録媒体として用いられるメモリカード119である。メモリカード119は、本発明の実施形態で説明した不揮発性半導体記憶装置が集積化され封止されたICパッケージPK1を有する。

【0091】

デジタルスチルカメラ101のケースには、カードスロット102と、このカードスロット102に接続された、図示しない回路基板が収納されている。メモリカード119は、カードスロット102に取り外し可能に装着される。メモリカード119は、カードスロット102に装着されると、回路基板上の電気回

路に電氣的に接続される。

【0092】

電子カードが例えば、非接触型の IC カードである場合、カードスロット 102 に収納し、或いは近づけることによって、回路基板上の電気回路に無線信号により接続される。

【0093】

図 24 は、デジタルスチルカメラの基本的な構成を示す。被写体からの光は、レンズ 103 により集光されて撮像装置 104 に入力される。撮像装置 104 は例えば CMOS イメージセンサであり、入力された光を光電変換し、アナログ信号を出力する。このアナログ信号は、アナログ増幅器 (AMP) により増幅された後、A/D コンバータによりデジタル変換される。変換された信号は、カメラ信号処理回路 105 に入力され、例えば自動露出制御 (AE)、自動ホワイトバランス制御 (AWB)、及び色分離処理を行った後、輝度信号と色差信号に変換される。

【0094】

画像をモニターする場合、カメラ信号処理回路 105 から出力された信号はビデオ信号処理回路 106 に入力され、ビデオ信号に変換される。ビデオ信号の方式としては、例えば NTSC (National Television System Committee) を挙げることができる。ビデオ信号は、表示信号処理回路 107 を介して、デジタルスチルカメラ 101 に取り付けられた表示部 108 に出力される。表示部 108 は例えば液晶モニターである。

【0095】

ビデオ信号は、ビデオドライバ 109 を介してビデオ出力端子 110 に与えられる。デジタルスチルカメラ 101 により撮像された画像は、ビデオ出力端子 110 を介して、例えばテレビジョン等の画像機器に出力することができる。これにより、撮像した画像を表示部 108 以外でも表示することができる。撮像装置 104、アナログ増幅器 (AMP)、A/D コンバータ (A/D)、カメラ信号処理回路 105 は、マイクロコンピュータ 111 により制御される。

【0096】

画像をキャプチャする場合、操作ボタン例えばシャッターボタン 112 を操作者が押す。これにより、マイクロコンピュータ 111 が、メモリコントローラ 113 を制御し、カメラ信号処理回路 105 から出力された信号がフレーム画像としてビデオメモリ 114 に書き込まれる。ビデオメモリ 114 に書き込まれたフレーム画像は、圧縮／伸張処理回路 115 により、所定の圧縮フォーマットに基づいて圧縮され、カードインタフェース 116 を介してカードスロット 102 に装着されているメモリカード 119 に記録される。

【0097】

記録した画像を再生する場合、メモリカード 119 に記録されている画像を、カードインタフェース 116 を介して読み出し、圧縮／伸張処理回路 115 により伸張した後、ビデオメモリ 114 に書き込む。書き込まれた画像はビデオ信号処理回路 106 に入力され、画像をモニターする場合と同様に、表示部 108 や画像機器に映し出される。

【0098】

なおこの構成では、回路基板 100 上に、カードスロット 102、撮像装置 104、アナログ増幅器（AMP）、A/Dコンバータ（A/D）、カメラ信号処理回路 105、ビデオ信号処理回路 106、メモリコントローラ 113、ビデオメモリ 114、圧縮／伸張処理回路 115、及びカードインタフェース 116 が実装される。

【0099】

但しカードスロット 102 については、回路基板 100 上に実装される必要はなく、コネクタケーブル等により回路基板 100 に接続されるようにしてもよい。

【0100】

回路基板 100 上には更に、電源回路 117 が実装される。電源回路 117 は、外部電源、或いは電池からの電源の供給を受け、デジタルスチルカメラの内部で使用する内部電源電圧を発生する。電源回路 117 として、DC-DCコンバータを用いてもよい。内部電源電圧は、上述した各回路に供給される他、ストロボ 118、表示部 108 にも供給される。

【0101】

以上のように本発明の実施形態に係る電子カードは、デジタルスチルカメラ等の携帯電子機器に用いることが可能である。更にこの電子カードは、携帯電子機器だけでなく、図25A-25Jに示すような他の各種電子機器に適用することができる。即ち、図25Aに示すビデオカメラ、図25Bに示すテレビジョン、図25Cに示すオーディオ機器、図25Dに示すゲーム機器、図25Eに示す電子楽器、図25Fに示す携帯電話、図25Gに示すパーソナルコンピュータ、図25Hに示すパーソナルデジタルアシスタント（PDA）、図25Iに示すヴォイスレコーダ、図25Jに示すPCカード等に、上記電子カードを用いることができる。

【0102】**【発明の効果】**

本発明に係る不揮発性半導体記憶装置によれば、隣接する転送トランジスタ間の電位差を低く抑えることができるため、転送トランジスタを互いに分離する素子分離絶縁膜の寸法を小さくできる。よって、転送トランジスタが配置される領域を小さくすることができる。

【図面の簡単な説明】

【図1】 第1実施形態に係るNAND型EEPROMに備えられるNANDセルの断面の模式図である。

【図2】 図1のII(a)-II(b)断面の模式図である。

【図3】 図1のNANDセルの等価回路図である。

【図4】 第1実施形態に係るメモリセルアレイの一部およびロウデコードの一部の等価回路図である。

【図5】 NANDセルの書込み動作の一般的な例において、“0”書込みがされるメモリセルを含むNANDセルの等価回路図である。

【図6】 図5の“0”書込みがされるメモリセルの模式図である。

【図7】 NANDセルの書込み動作の一般的な例において、“1”書込みがされるメモリセルを含むNANDセルの等価回路図である。

【図8】 図7の“1”書込みがされるメモリセルの模式図である。

【図 9】 比較例の書込み動作を説明するためのタイミングチャートである。

【図 1 0】 比較例において“0”書込みがされるメモリセルを含むNANDセルの模式図である。

【図 1 1】 比較例において“1”書込みがされるメモリセルを含むNANDセルの模式図である。

【図 1 2】 第1実施形態の動作例のうち書込み動作を説明するためのタイミングチャートである。

【図 1 3】 図 1 2 において、“0”書込みがされるメモリセルを含むNANDセルの模式図である。

【図 1 4】 図 1 2 において、“1”書込みがされるメモリセルを含むNANDセルの模式図である。

【図 1 5】 第1実施形態に係る転送トランジスタ領域を示す模式図である。

【図 1 6】 図 1 5 の転送トランジスタ領域からワード線を省いた図である。

【図 1 7】 図 1 6 の比較となる図であり、20Vの電圧がワード線WL3に印加されている場合を示す図である。

【図 1 8】 図 1 6 の比較となる図であり、20Vの電圧がワード線WL7に印加されている場合を示す図である。

【図 1 9】 図 1 5 に示す転送トランジスタ領域とブロックとの境界の断面の模式図である。

【図 2 0】 第2実施形態に係る転送トランジスタ領域の模式図である。

【図 2 1】 図 2 0 のワード線WL0～4を拡大した図である。

【図 2 2】 第3実施形態に係る転送トランジスタ領域からワード線を省いた模式図である。

【図 2 3】 本発明の実施形態に係る電子カードおよび電子装置の構成図である。

【図 2 4】 本発明の実施形態に係る電子装置の第1例であるデジタルス

チルカメラの基本的な構成図である。

【図 2 5 A】 本発明の実施形態に係る電子装置の第 2 例であるビデオカメラを示す図である。

【図 2 5 B】 本発明の実施形態に係る電子装置の第 3 例であるテレビジョンを示す図である。

【図 2 5 C】 本発明の実施形態に係る電子装置の第 4 例であるオーディオ機器を示す図である。

【図 2 5 D】 本発明の実施形態に係る電子装置の第 5 例であるゲーム機器を示す図である。

【図 2 5 E】 本発明の実施形態に係る電子装置の第 6 例である電子楽器を示す図である。

【図 2 5 F】 本発明の実施形態に係る電子装置の第 7 例である携帯電話を示す図である。

【図 2 5 G】 本発明の実施形態に係る電子装置の第 8 例であるパーソナルコンピュータを示す図である。

【図 2 5 H】 本発明の実施形態に係る電子装置の第 9 例であるパーソナルデジタルアシスタント（PDA）を示す図である。

【図 2 5 I】 本発明の実施形態に係る電子装置の第 1 0 例であるヴォイスレコーダを示す図である。

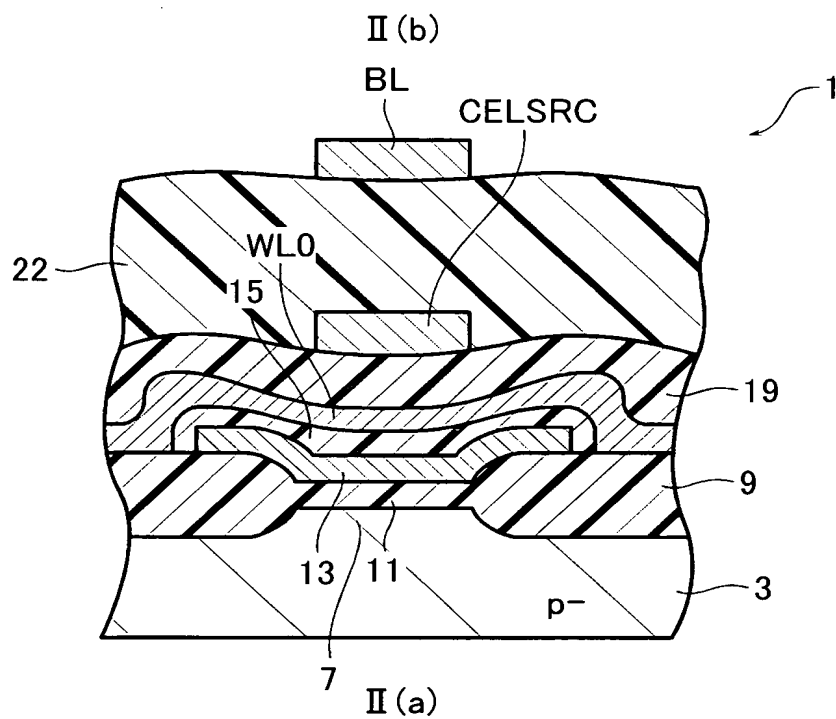
【図 2 5 J】 本発明の実施形態に係る電子装置の第 1 1 例である PC カードを示す図である。

【符号の説明】

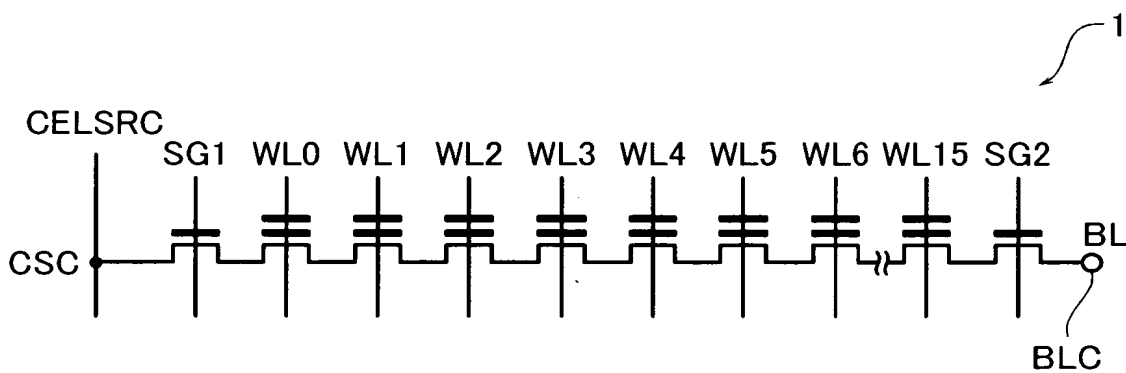
1・・・NANDセル、3・・・半導体基板、5・・・不純物領域、7・・・チャネル領域、9・・・素子分離絶縁膜、11・・・ゲート絶縁膜、13・・・浮遊ゲート、15・・・絶縁膜、17・・・導電膜、18・・・シャント配線、19・・・第1層間絶縁膜、21・・・不純物領域、22・・・第2層間絶縁膜、23・・・メモリセルアレイ、25・・・ブロック選択回路、27・・・デコーダ、29・・・昇圧電位転送回路、31、33・・・トランジスタ、35・・・ゲート線、37・・・素子分離絶縁膜、39・・・第1素子分離絶縁膜、41・

・ ・ 不純物領域（第 1 不純物領域の一例）、43・・・不純物領域（第 2 不純物領域の一例）、45・・・制御ゲート、47・・・引出配線、49・・・層間絶縁膜、51, 53・・・プラグ、55・・・層間絶縁膜、57・・・配線、59・・・層間絶縁膜、61・・・配線、63・・・第 2 素子分離絶縁膜、WL0～15・・・ワード線、MC0～15・・・メモリセル、BL・・・ビット線、SG1, 2・・・選択ゲート線、CELSRC・・・ソース線、FG・・・浮遊ゲート層、CG・・・制御ゲート層、M0・・・第 1 導電層、M1・・・第 2 導電層、BK・・・ブロック、R・・・転送トランジスタ領域、G1, G2, G3・・・グループ

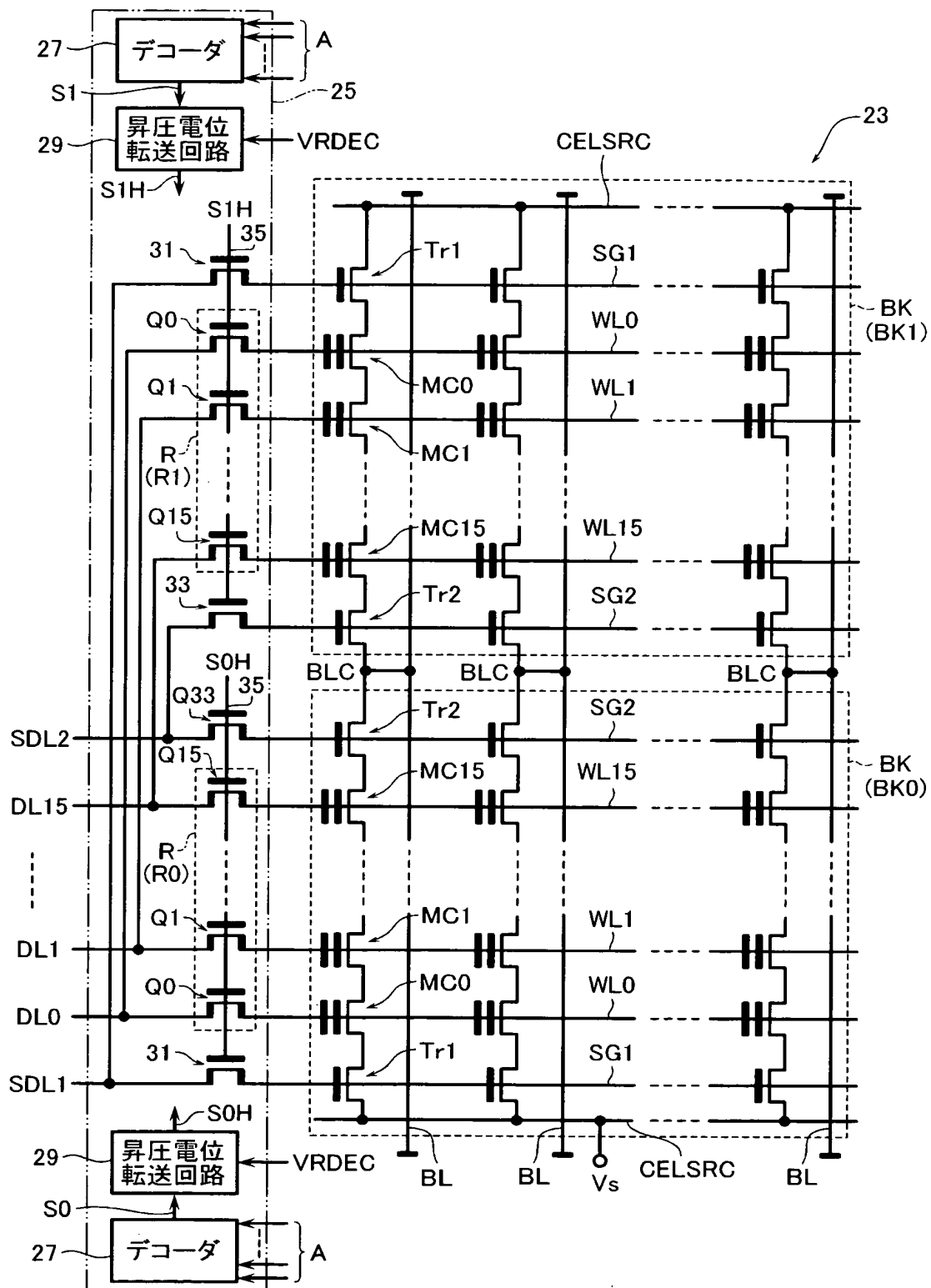
【図 2】



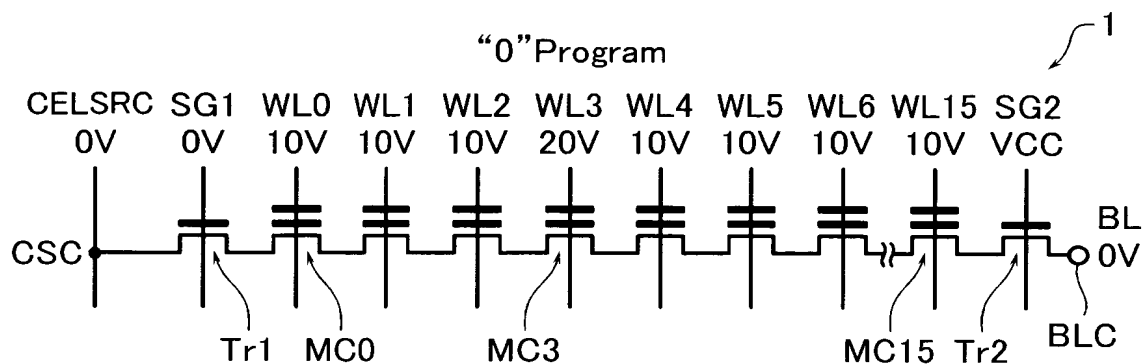
【図 3】



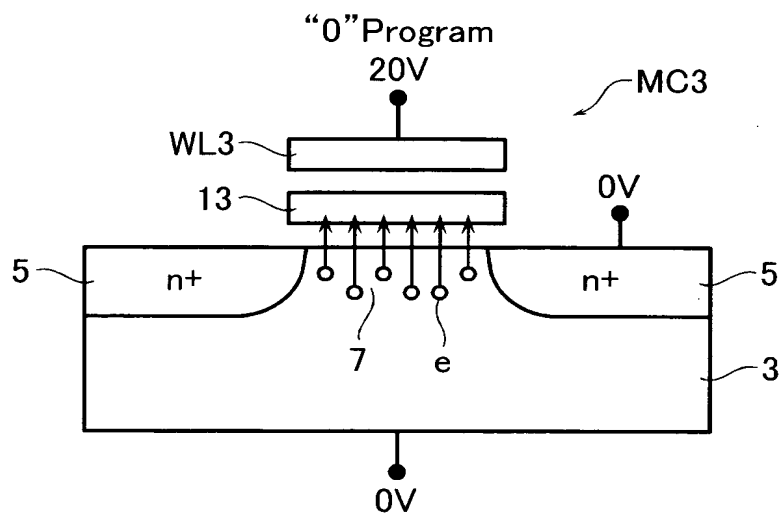
【图 4】



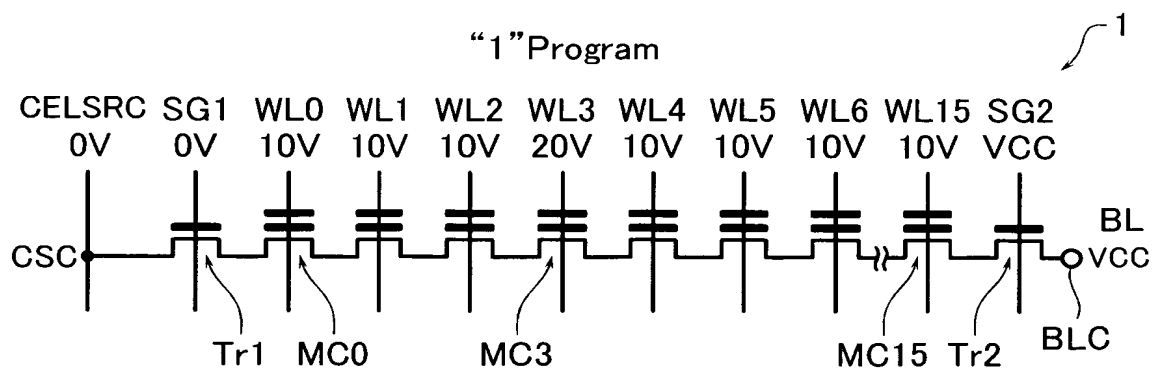
【図 5】



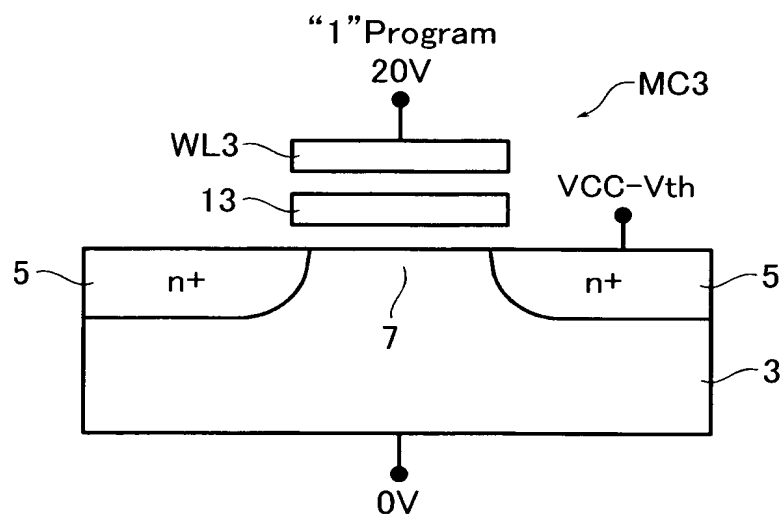
【図 6】



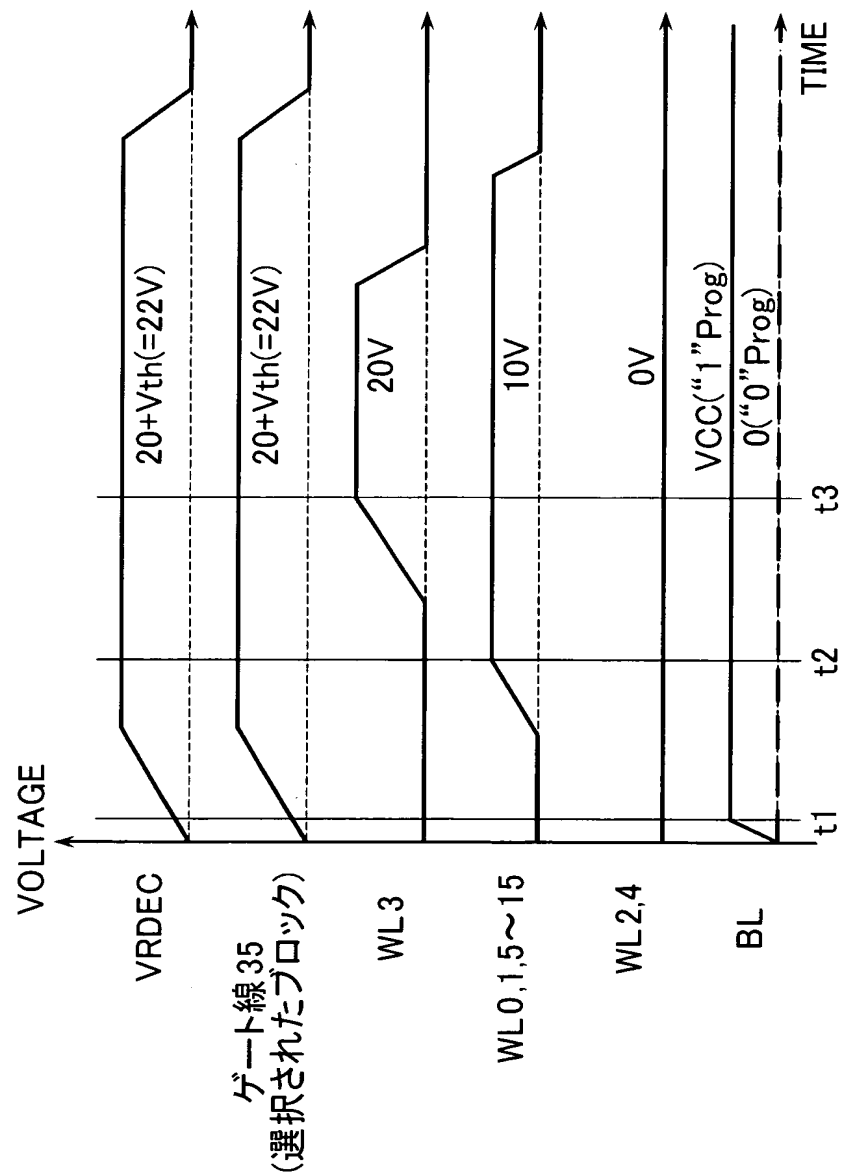
【図 7】



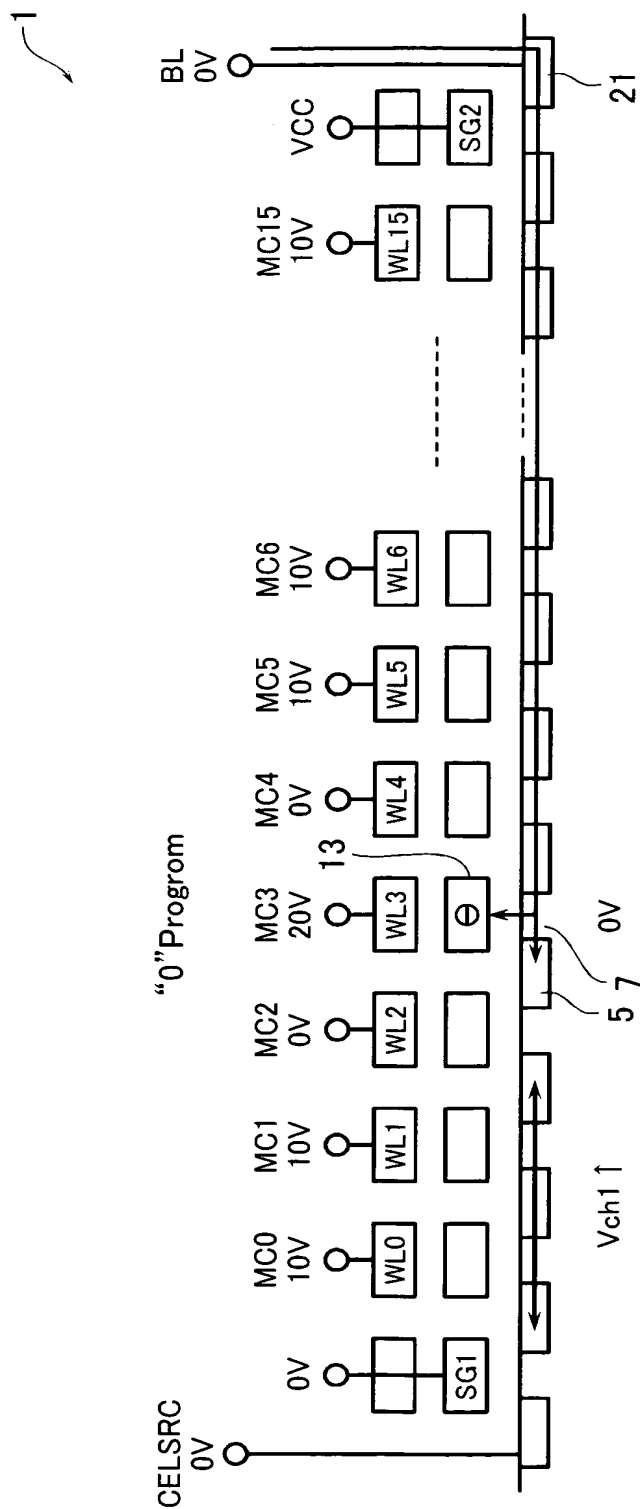
【図 8】



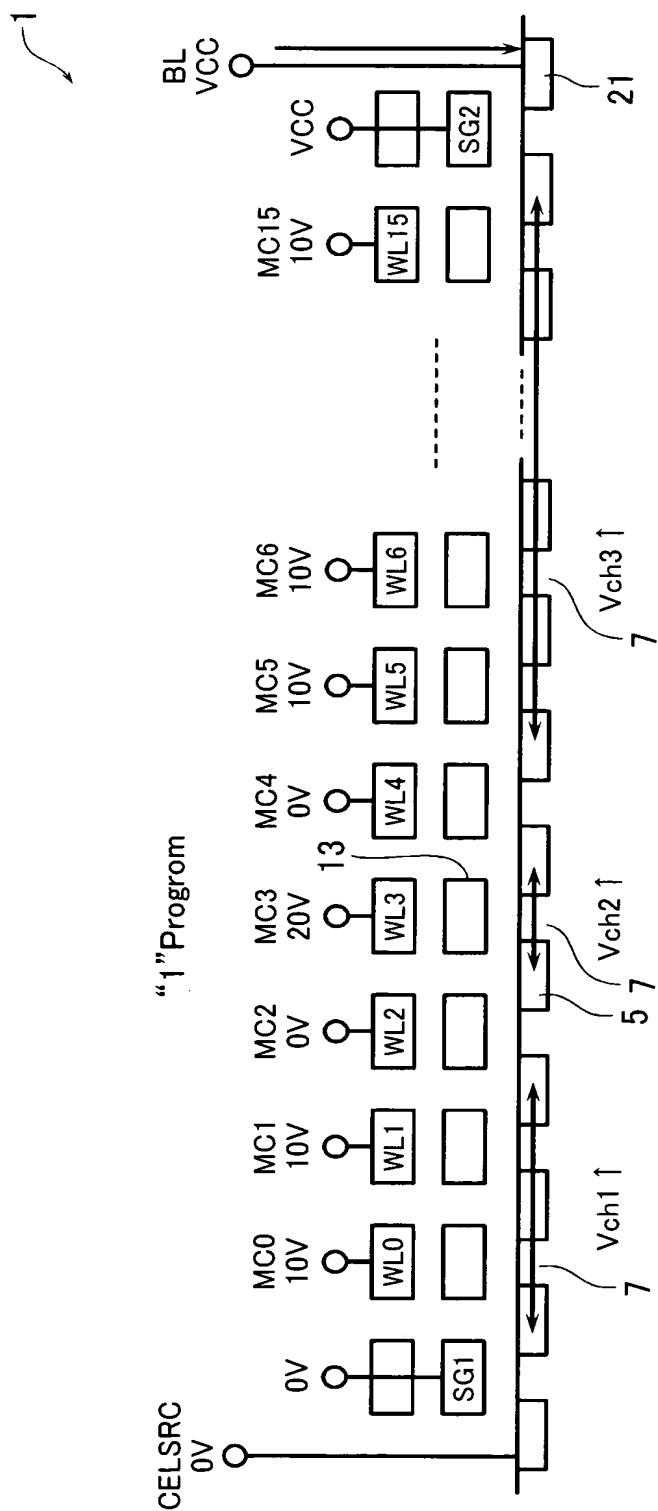
【図 9】



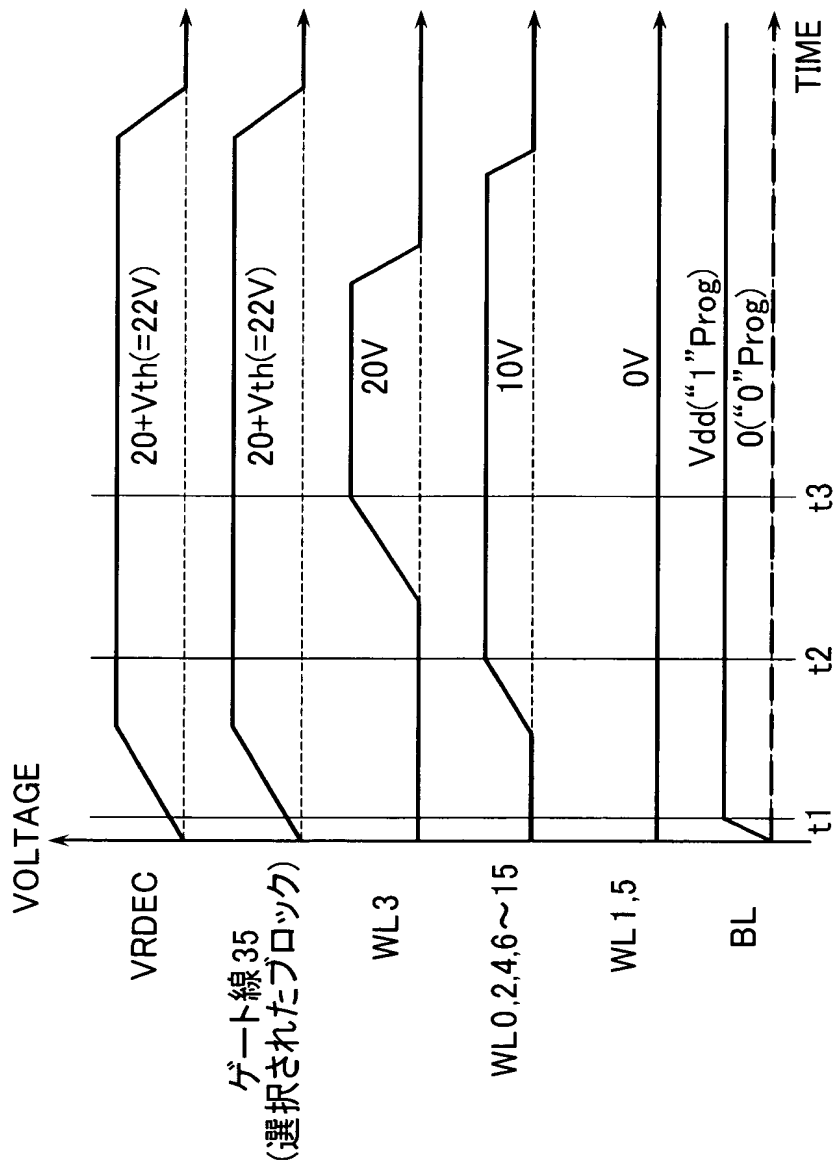
【図 10】



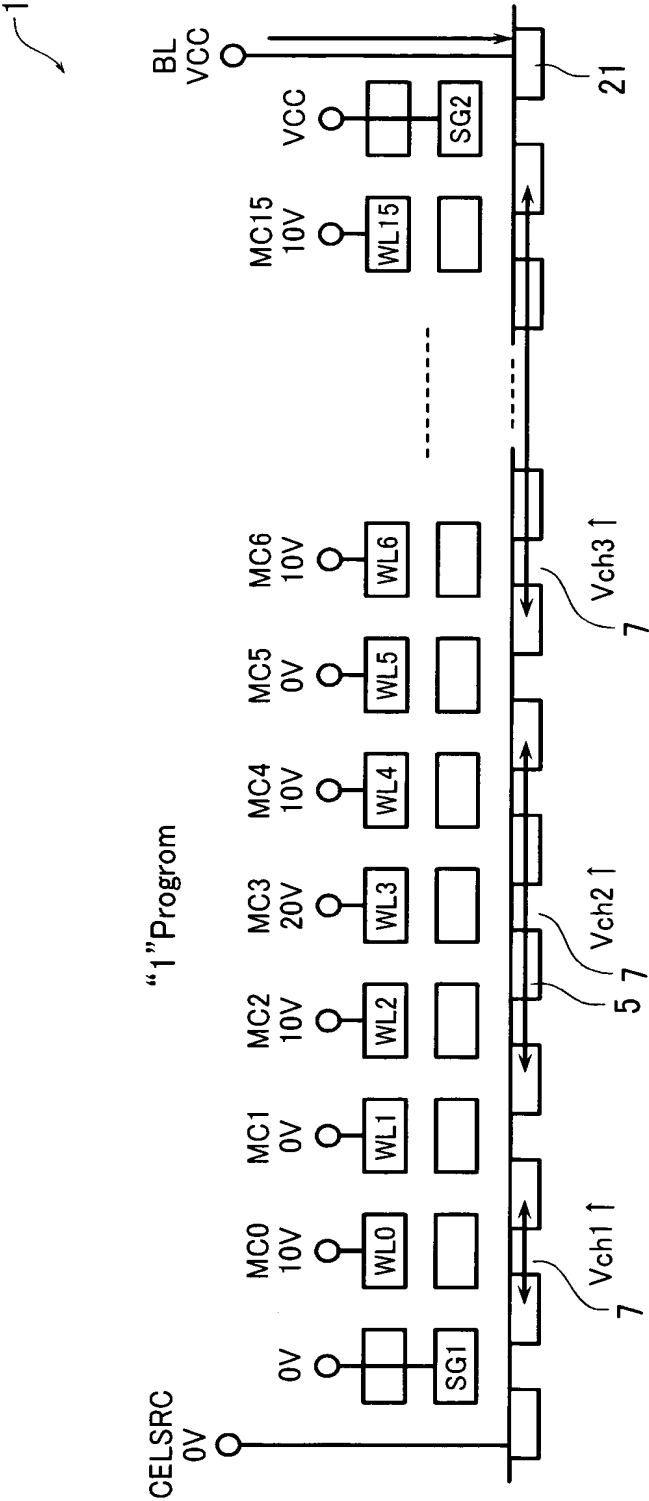
【図 1 1】



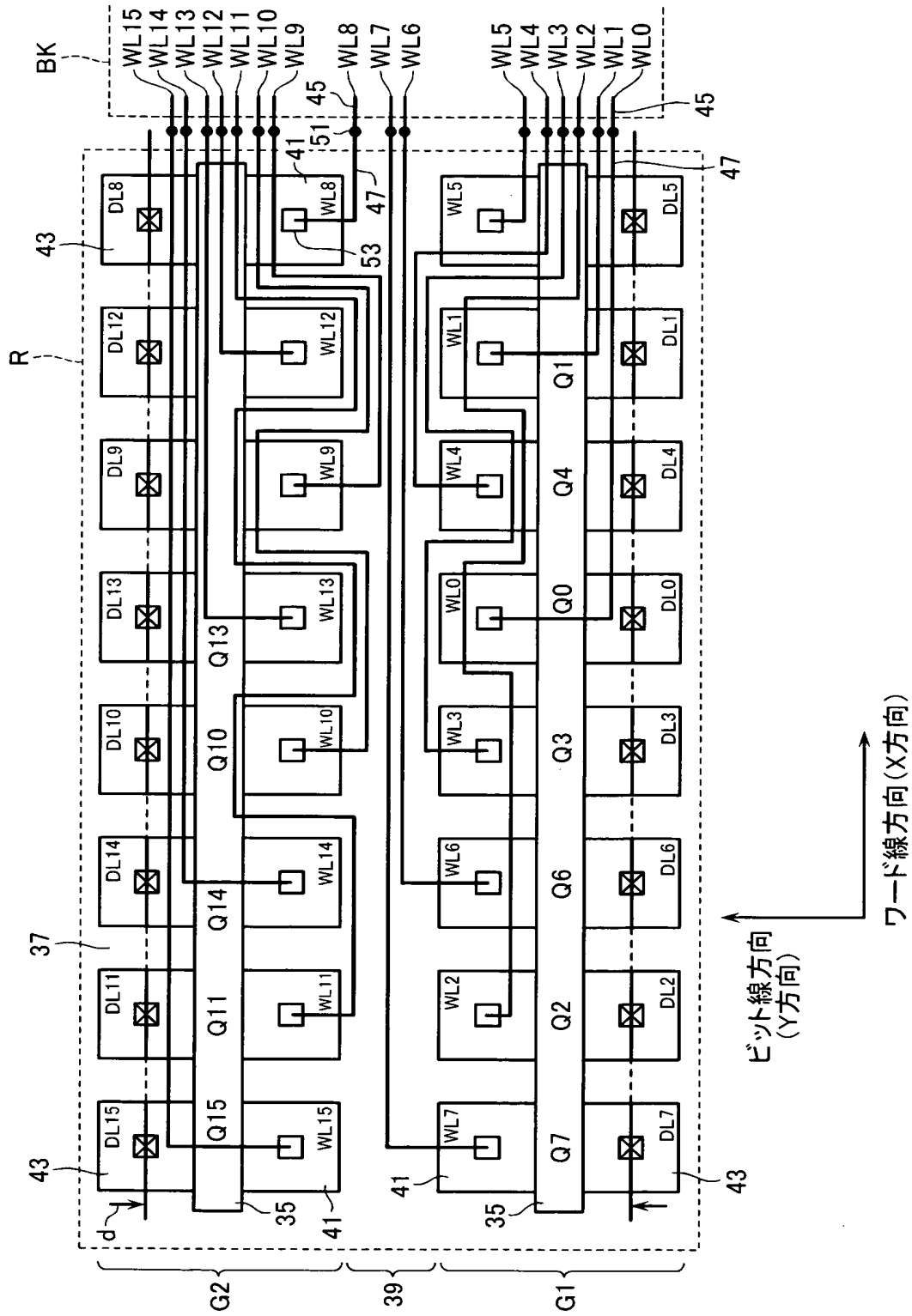
【図 12】



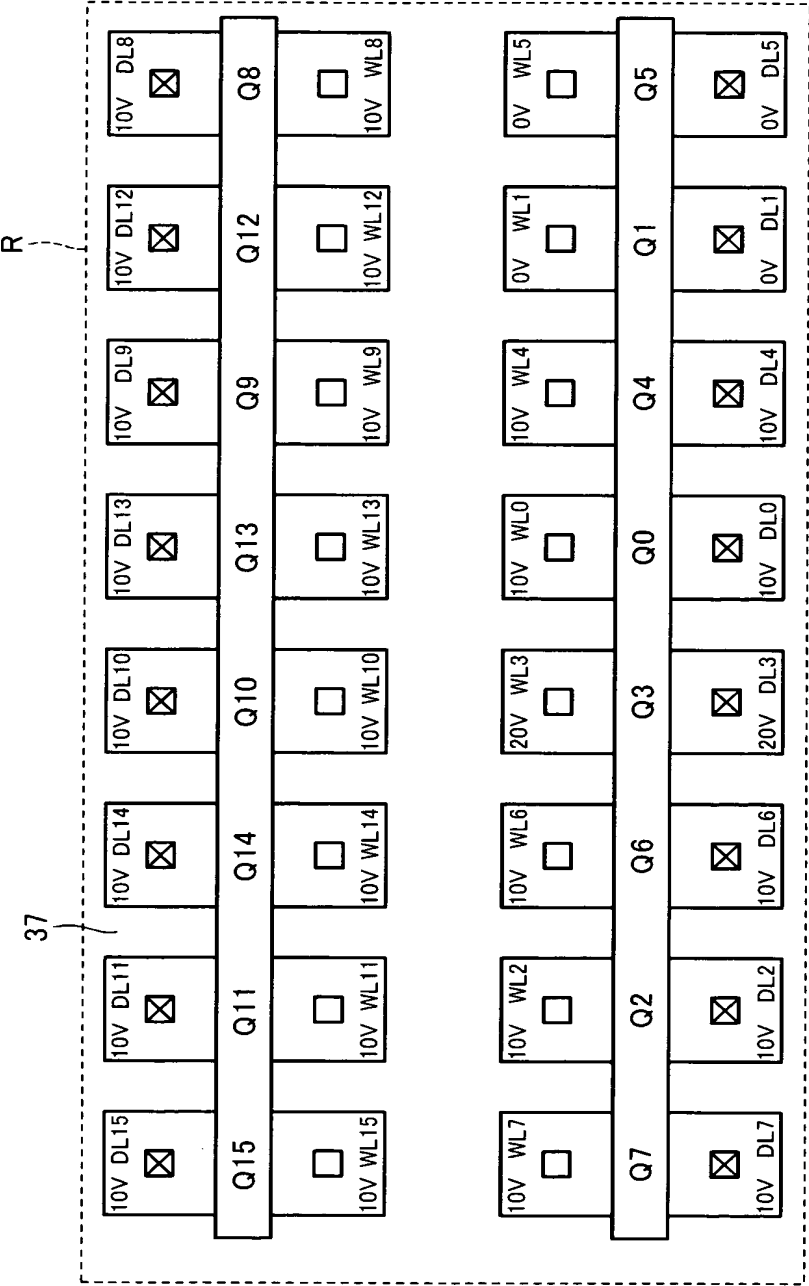
【図14】



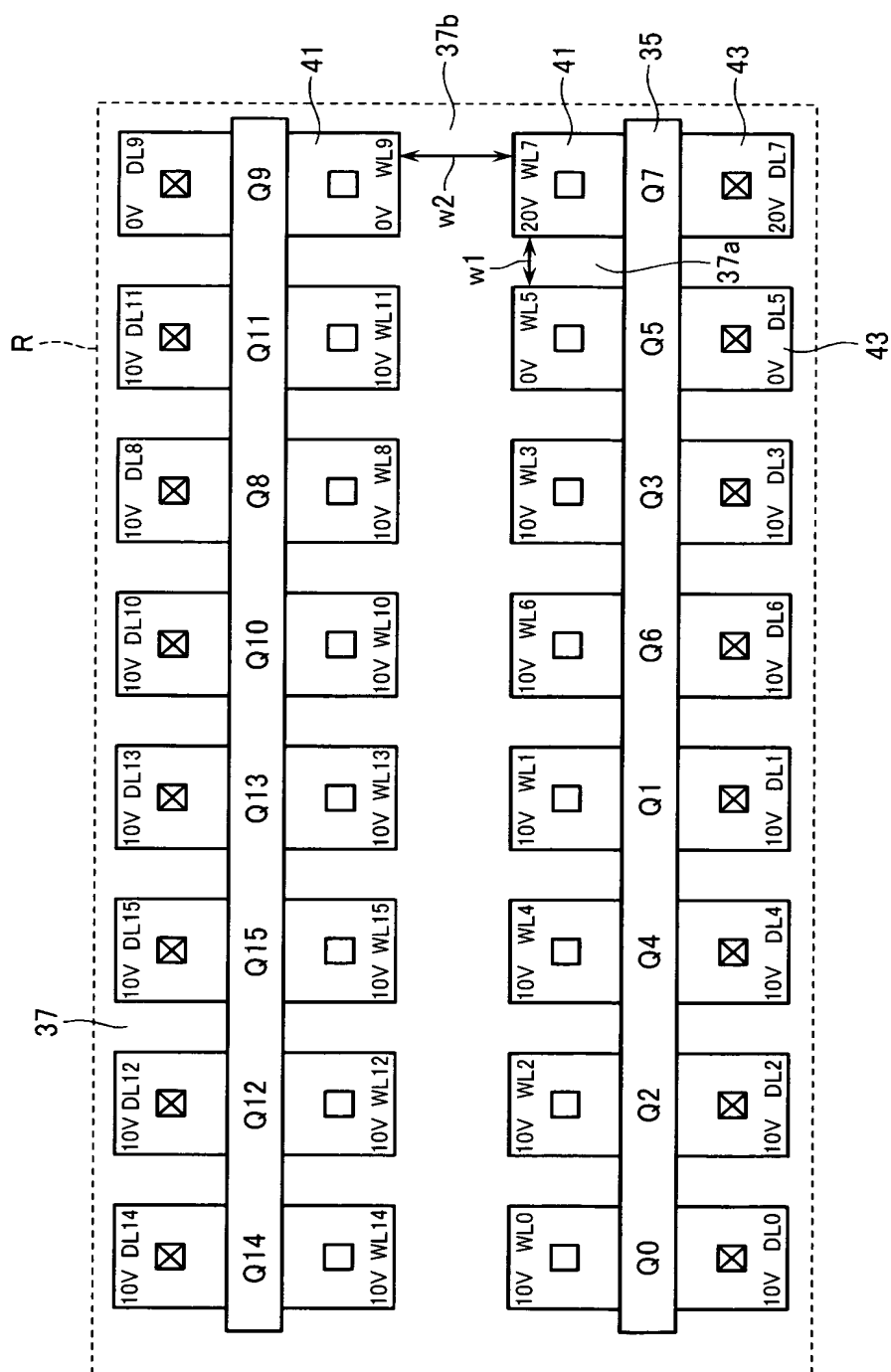
【図 15】



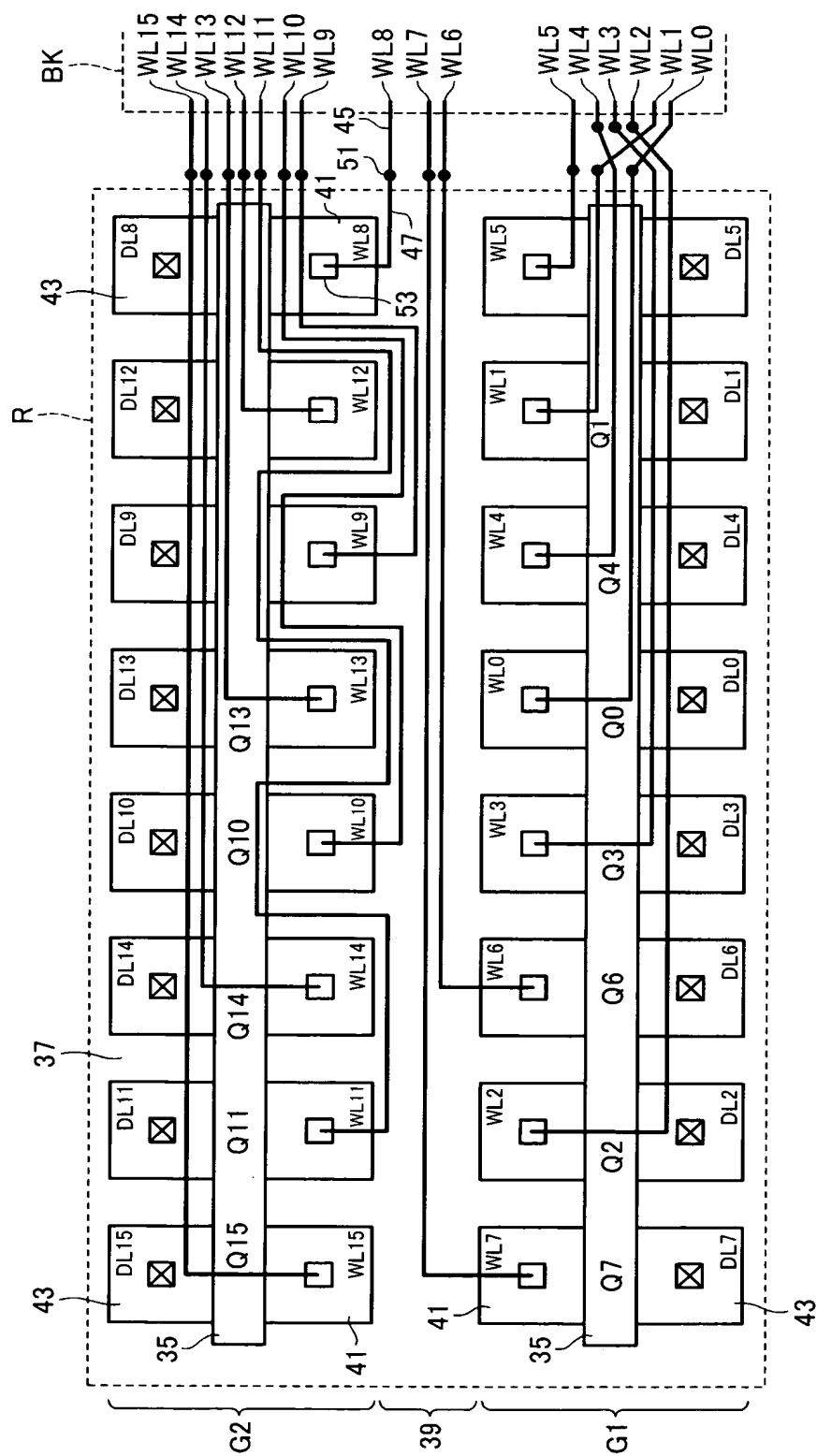
【図 16】



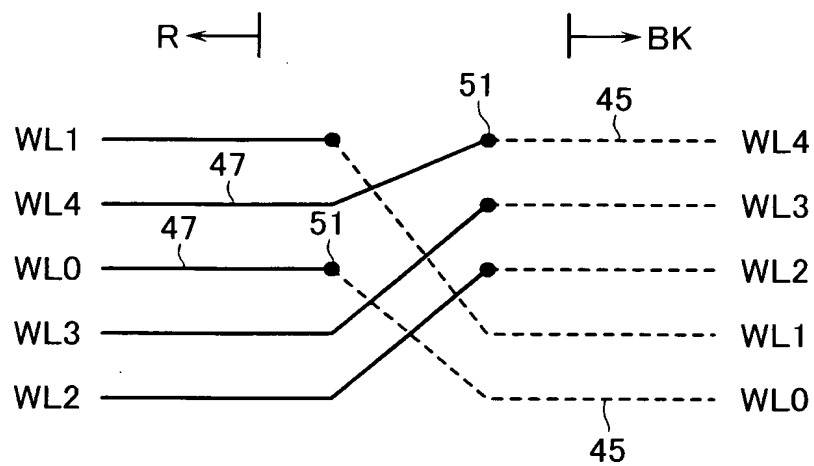
【図 18】



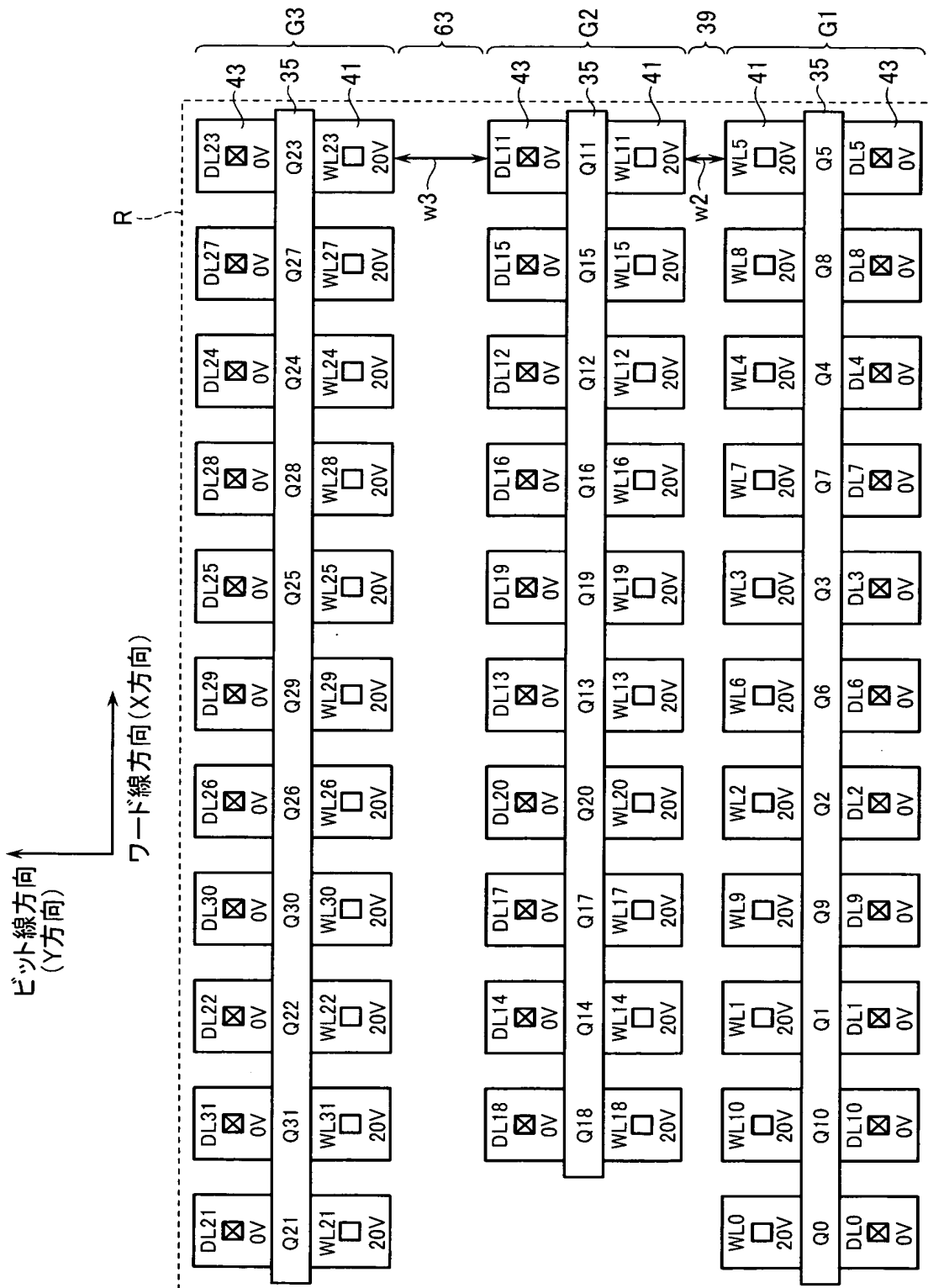
【図 20】



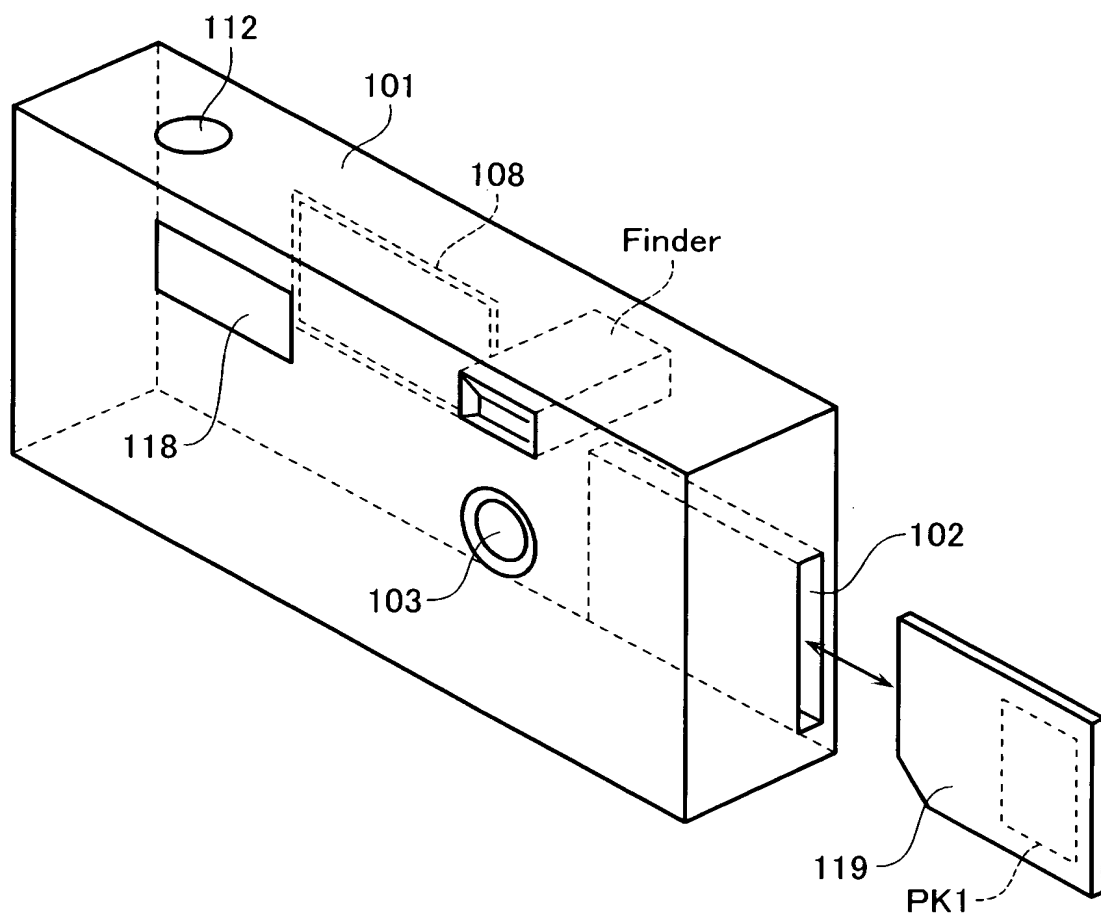
【図 21】



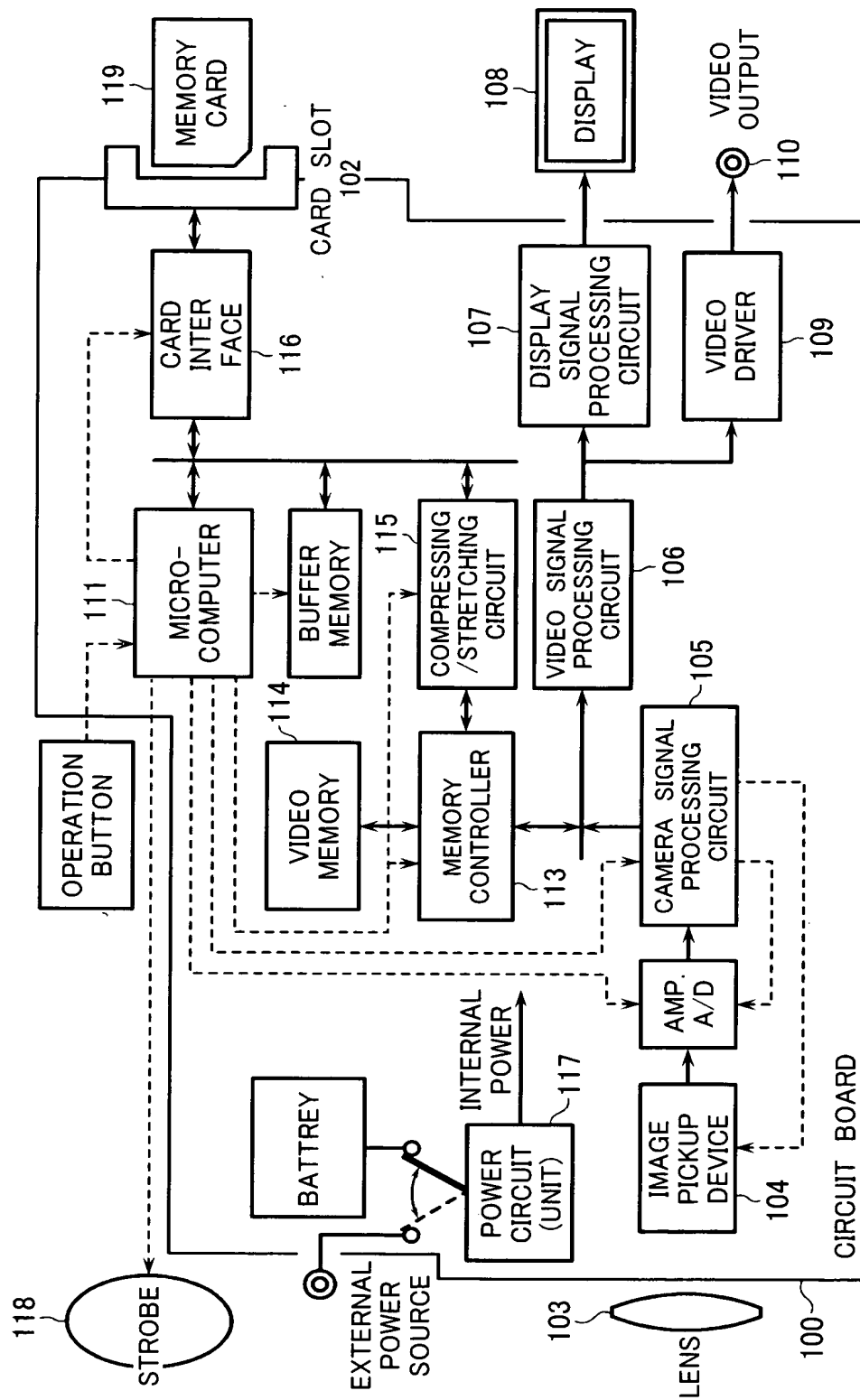
【図 22】



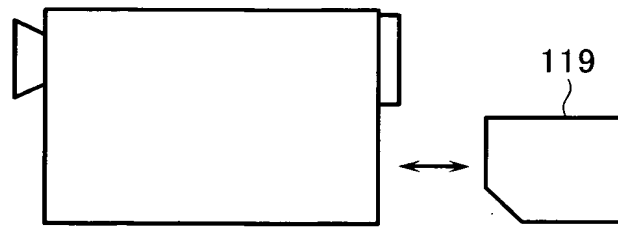
【図 23】



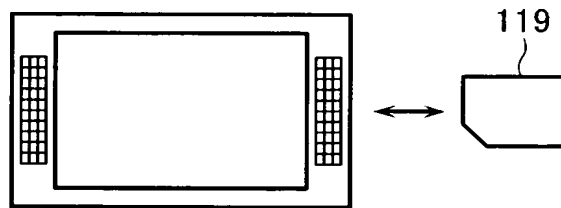
【図 24】



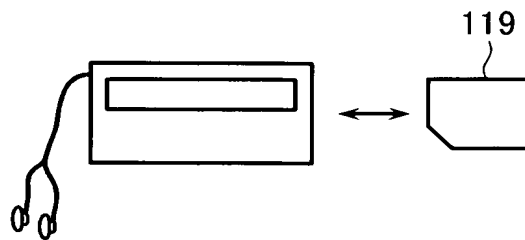
【図 25 A】



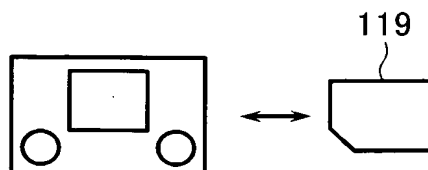
【図 25 B】



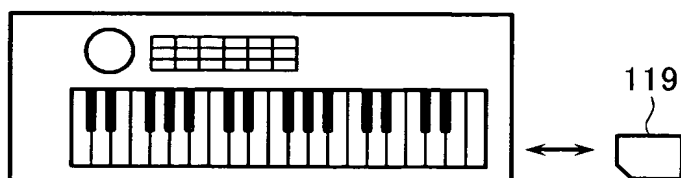
【図 25 C】



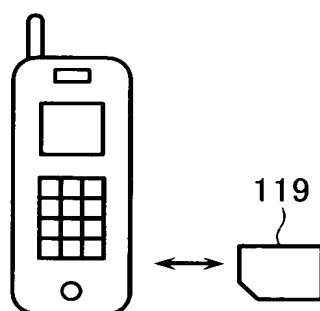
【図 25 D】



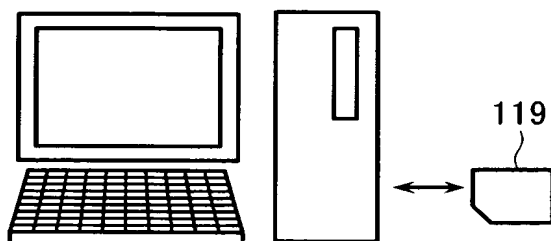
【図 25 E】



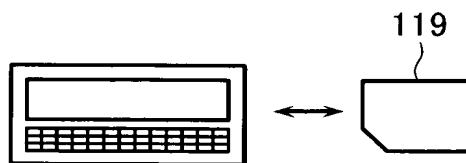
【図 25 F】



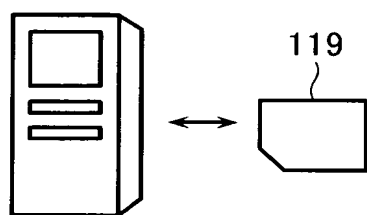
【図 25 G】



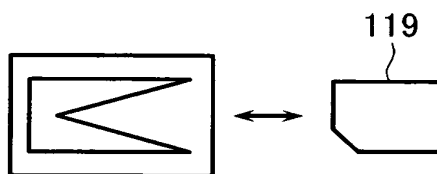
【図 25 H】



【図 25 I】



【図 25 J】



【書類名】 要約書

【要約】

【課題】 転送トランジスタが配置される領域の面積を小さくすることが可能な NAND 型 EEPROM を提供する。

【解決手段】 ブロック BK に配置されたメモリセルに接続されたワード線 WL 0 ～ 1 5 は、転送トランジスタ Q 0 ～ 1 5 の不純物領域 4 1 に接続されている。Q 0 ～ 1 5 の不純物領域 4 3 には、ワード線 WL 0 ～ 1 5 に電圧を供給する駆動線 DL 0 ～ 1 5 が接続されている。ワード線 WL 3 に接続されたメモリセルにデータを書込むために、ワード線 WL 3 に 2 0 V、二つ隣のワード線であるワード線 WL 1, 5 に 0 V が印加される。ワード線 WL 3 の転送トランジスタ Q 3 の隣や向かいに、ワード線 WL 1, 5 の転送トランジスタ Q 1, 5 が配置されないようにしている。これにより、隣接する転送トランジスタ間の電位差が大きくなるのを防いでいる。

【選択図】 図 1 5

特願 2 0 0 3 - 1 9 9 3 7 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

神奈川県川崎市幸区堀川町 7 2 番地

氏 名

株式会社東芝

2. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝